

# IDEС 참여 매뉴얼

## - 참여교수 배포용 -

2026.02



반도체설계교육센터  
IC DESIGN EDUCATION CENTER

## 목 차

참여교수 신청 .....	2
1. 개요 .....	2
2. 지원 사항 .....	2
3. 신청 시기 .....	2
4. 신청 조건 .....	2
5. 참여교수 의무사항 .....	2
6. 선정 방법 .....	3
7. 선정 제외 대상 .....	3
8. 신청 절차 .....	4
9. 우수 참여교수 선정 .....	13
10. 우수 연구교수 선정 .....	14
 MPW 참여 안내 .....	15
1. MPW 참가 대상 및 설계 참여시 이행 사항 .....	15
2. 2026년 MPW 지원 내역 및 일정 .....	20
3. MPW 참여 방법 .....	23
4. 참여방법(지정공정) .....	27
 EDA Tool 사용 안내 .....	38
1. 개요 및 지원현황 .....	38
2. 지원방식 .....	41
3. 정규 연구용 라이선스 사용 .....	41
4. 정규 수업용(교육용) 라이선스 사용 .....	45
5. Network License 사용 .....	49
6. EDA Tool 지원 서비스 .....	50
 CDC [Chip Design Contest] .....	53
1. CDC 소개 .....	53
2. CDC 참여 절차 .....	54
3. CDC 평가 .....	59
 JICAS (IDEC Journal of Integrated Circuits and System) .....	60
1. JICAS 소개 .....	60
2. JICAS 진행 절차 .....	60

1

## 참여교수 신청

### 1. 개요

- 1) 차세대시스템반도체 전문인력 양성과 핵심 IP연구개발을 위해 다각적인 전국 대학의 교수를 참여교수로 선정하여 칩제작기회(MPW) 및 설계환경(EDA Tool) 등 지원
- 2) 반도체설계 분야의 연구 경쟁력을 확보하기 위해 참여교수의 유사 연구 분야를 조사하여 연구분야 특성화를 제공

### 2. 지원 사항

- 1) 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함)
- 2) 최신 EDA Tool 지원
- 3) IDEC 보유 Analog IP 제공

### 3. 신청 시기

- 1) 년 1회 (매년 2월 모집)

### 4. 신청 조건

- 1) 전국 대학의 반도체설계 관련분야 교수 (전임직 조교수부터 신청 가능)
- 2) 단, 순수 교육 및 연구 목적이 아닌 특수목적 대학소속의 교수의 경우 IDEC 지원이 제한됨 (참고 : 전문대학의 경우, IDEC 지원이 제한 될 수 있음)

### 5. 참여교수 의무사항

- 1) "IDECK 주최 행사(Congress)"에 **2년에 1회 이상 반드시 참여**한다.
- 2) IDEC에서 협조하는 사항(뉴스레터 원고 기고 또는 명예기자 추천, JICAS 논문 제출(분기 별) 또는 인용, JICAS 편집위원 또는 리뷰어 활동, IDEC 관련 평가(C.D.C(2,7,10월), IDEC 강좌 강사 활동 등)에 대해 **3년 이내 1회 이상 참여** 한다.
- 3) IDEC 지원을 받아 달성한 **연구실적(논문, 특허, 지도학생 취업현황 등)**은 IDEC에 보고 한다.

\* IDEC 참여교수로 활동 시에 위의 세가지 사항 모두 이행을 부탁드립니다.

### [참고 내용]

- IDEC Congress : 참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 **2년에 1회 이상 필수 참석 (대리 참석 불가)**
- JICAS : 매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과물을 논문으로 작성하여 제출 (논문 상시 접수)
- CDC : IDEC CDC 행사에 제출된 논문의 채택 여부를 결정하기 위해 온라인 평가 진행 (매년 IDEC CDC 평가위원 위촉)
- IDEC 교육 : 본센터(KAIST)와 6개 캠퍼스에서 연간 150 건 정도의 설계 및 Tool 교육 등이 개설/진행되고 있으며, 이에 주도적으로 강의 개설
- IDEC 사사문구 : IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 지원(MPW, EDA Tool) 사사문구 기재, \*\*Acknowledgement(감사의 글)에 포함되어도 실적 인정

구분		사사문구 예시
국문	MPW 지원받은 경우	본 연구는 IDEC에서 MPW를 지원받아 수행하였습니다.
	EDA Tool 지원받은 경우	본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.
영문	MPW 지원받은 경우	The chip fabrication was supported by the IC Design Education Center(IDECK), Korea.
	EDA Tool 지원받은 경우	The EDA tool was supported by the IC Design Education Center(IDECK), Korea.
	MPW 와 EDA Tool 모두 지원받은 경우	The chip fabrication and EDA tool were supported by the IC Design Education Center(IDECK), Korea.

## 6. 선정 방법

- 1) 기존 참여교수 : 전년도 참여계획 및 의무사항 이행, IDEC이 인정하는 실적 제출시 선정
- 2) 신규 참여교수 : 신청서 및 이력서를 토대로 IDEC 평가를 통해 선정

## 7. 선정 제외 대상

- 1) 기존 참여교수 : 참여교수 의무사항을 이행하지 않거나, 최근 3년간 IDEC에서 인정하는 실적을 제출하지 않은 자
- 2) 신규 참여교수 : 신청조건에 불충족하거나, IDEC 평가시 미승인된 자
- 3) 비전임 교수

## 8. 신청 절차

### 1) 신규 및 기존 참여교수

- ① www.idec.or.kr 로그인 -> 참여교수 클릭



KAIST IDEC

공지사항 Notice

- [IDECK] 2024년 참여교수 배출.. 2025.01.13
- [IDECK] 2025년 1학기 학부 정.. 2025.01.13
- [IDECK MPW] 2025년 IDEC MPW .. 2024.12.18
- [IDECK] 제8기 시스템반도체.. 2024.11.11
- [외부공지] [외부공지] 차세.. 2024.12.30

자료실 Library

- EDA Tool Vendor 의 Syste.. 2024.12.16
- EDA Tool Vendor 의 Syste.. 2024.04.01
- EDA Tool Vendor 의 Syste.. 2023.09.12
- EDA Tool Vendor 의 Syste.. 2023.01.27
- [CADENCE] INDAGO - Debug.. 2022.10.04

- ② 참여교수 신청 클릭 -> 상세보기 -> 참여신청



참여교수신청

2026년 참여교수 신청

신청기간	2026-02-01 ~ 2026-02-14	신규 참여교수 평가	2026-02-19 ~ 2026-02-25
활동기간	2026-03-01 ~ 2027-02-28	결과보고제출기간	2026-12-01 ~ 2027-02-28

2024년 계획

IDECK사사논문	CDC평가참여	IDECK강좌개설	교육자료제출 (VOD포함)	뉴스레터기고	JICAS제출	JICAS Reviewer(또는 편집위원)	IDECK Congress 참여
1							

2024년 실적

내용	건수(시간)	점수
MPW 칩제작	0	0
희망공정 칩제작	0	0
논문	0	0
강좌/세미나 개설	단기:0시간, 트랙:0시간	0
[설문 응답] 설문 응답 : 2024.07 EDA Tool 수요조사	1	1
[뉴스레터 명예기자] 00기 뉴스레터 명예기자 추천 (성명 : 000)	1	2
[JICAS논문제출] 논문 제출	1	10
[IDECK강좌 / 세미나 개설] EDA Tool VOD 제작 (Cadence Virtuoso)	3	9

③ 참여교수 신청서 작성

- **지도학생 기입** : 전년도 지도학생 중 졸업생을 제외한 재학생은 자동으로 등록된다. 신규 지도학생을 추가할 수 있으며, **실무 담당자를 선택한다.**
- 2026년 2월 졸업예정인 학생도 등록을 해야 2027년 2월에 2026년 참여교수 배출인력 실적으로 기입할 수 있다.
- **파란색+** : 지도 학생 추가 / **빨간색X** :지도학생 삭제

- **주요 연구분야 기입** : 주요 연구분야는 아래 항목 중 1개를 필수로 선택한다. 추가로 명시해야할 다른 연구분야가 있으면 '주요 연구분야 2'로 선택가능하다.

구분	연구분야	구분	연구분야
회로 및 시스템 설계	디지털 회로	공정 및 소자	공정
	아날로그 회로		소자
	RF 회로	패키징	
	Mixed 회로	EDA 및 소프트웨어	
	Power 회로	기타	
	SOC 및 시스템		
	기타		

\* 'SOC 및 시스템' : 최소 수천개에서 수십만개의 게이트 집적을 뜻함

- **특성화 분야 작성** : 작성버튼을 클릭하면 등록 또는 수정이 가능

- 가로와 세로가 만나는 셀을 선택(최대 6개)한 후 등록 및 수정완료 버튼을 클릭한다.

# IDECA Manual(참여교수)

▶ SoC 설계 방법 및 구조			Digital		Design methodology	Analog/RF				
▼ 등용분야	대분류	중분류	Programmable core	Special function block		Data Converters	Timing & High-Speed Interface	RF	Power	기타 IP
Consumer	대형 Media(TV 등)									
	Handheld Multimedia									
	Display (LCD/OLED/PDP/display Driver 등)									
Car/Robot	Car infotainment (navi/audio/DMB)									
	Car chassis(brake/suspension/steering)									
	Body/security(출출방지 등)									
Communication	Robot									
	Wired	Level 2/3 switch								
		MODEM								
		Access network								
		PAN								
	Wireless(무선통신)	LAN/MAN/WAN/CAN								
		USN/RFID								
		Wiimax,WiBro,LTE								
		Celluar phone								
		Ubiquitous								
신 재생 에너지	Military/Space									
	Energy Harvesting(태양광/열전 등)									
	Energy Storage(배터리 등)									
Medical/Bio	Energy transfer System(Grid 등)									
	Medical/Bio									
	분류되지 않은 기타									

\*\* 가로와 세로가 만나는 셀을 선택(최대6개)하시고 등록 및 수정 완료 버튼을 클릭해주세요\*\*\*

- 특성화 자료 활용동의여부 체크 후 페이지 하단 확인 버튼을 클릭한다.

## ○ 참여교수 특성화 등록시 아래 사항을 확인하세요.

### ▣ 기본자료 활용 동의

\*참여교수 특성화 (Platform) 구축에 기본 자료로 활용\* 하는 것에 동의하십니까?

예. 동의 합니다.

### ▣ 개인정보 정책

"참여교수 특성화 (Platform) 웹페이지에 기본정보(소속, 성명, 연락처, E-mail), 일반정보(연구분야)등 정보제공"에 동의하십니까?

예. 동의 합니다.  아니오. 동의하지 않습니다.

- **연구분야 상세** : 연구분야 및 IDEC에서 활동 가능한 분야에 대해 보다 상세히 입력한다.

연구 분야 상세	
----------	--

## IDECA Manual(참여교수)

- 금년도 참여계획 : 참여교수 의무사항 항목이며, 참여계획 건수를 입력한다.
- 이력서 : 신규참여 교수의 경우 이력서 등록(필수)
- 입력란을 모두 기입하고 참여교수 수행 지침 등의 후 참여신청 클릭

금년도 참여계획	항목	건수	설명
	IDECA사사논문	1 건	IDECA의 지원을 받아 발행된 논문에는 반드시 IDECA 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 포함
	IDECA강좌개설	2 건	본센터(KAIST)와 6개 캠퍼스에서 연간 150건 정도의 설계 및 Tool교육 강좌를 운영하고 있으며, IDECA 강좌 개설 또는 강의 진행
	교육VOD제작 참여	3 건	EDA Tool 강의 등 VOD 전용 강좌 제작 및 업로드에 동의
	JICAS논문제작	4 건	매년 4회 발행되는 IDECA 공식 국제 저널인 JICAS에 MPW 칩 설계 결과물 (또는 칩 설계 관련 내용)을 논문으로 작성하여 제출 및 게재 (논문 상시 접수)
	JICAS Reviewer (또는 편집위원)	5 건	JICAS에 투고된 논문을 온라인 저널 시스템에서 심사하고 게재 여부 결정
	IDECA Congress참여	6 건	참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDECA 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있음.
	뉴스레터기고	7 건	매년 4회 발행되는 IDECA 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야, 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)
	뉴스레터 명예기자 추천	8 건	IDECA 뉴스레터 명예기자 추천
	CDC평가참여	9 건	1년에 3회 IDECA CDC 행사에 제출된 논문의 채택 및 수상 여부를 결정하기 위해 무료로 온라인 평가 진행 (임기 1년)
가입목적	<input checked="" type="checkbox"/> MPW 참가 <input checked="" type="checkbox"/> EDA Tool 사용 <input type="checkbox"/> 기타		
이력서	<small>* 신규 참여교수의 경우 이력서를 등록해야 합니다. (자유양식)</small> <input type="button" value="파일선택"/> 선택된 파일 없음		
참여교수 수행지침등의	<small>제1조(사업 목표 및 내용)</small> 참여교수의 사업 목표와 내용은 "참여교수 지원 신청서" 내용과 동일하다. <small>제2조(사업의 수행)</small> 본 사업을 제1조의 "참여교수 지원 신청서" 상의 내용에 따라 수행한다. <small>제3조(자원의 지원)</small> (1) 본 사업의 수행을 위해 IDECA는 참여교수에게 EDA Tool, MPW(Multi Project Wafer) 칩제작 공정 등의 자		
	<input checked="" type="checkbox"/> 참여교수 수행 지침에 동의합니다.		
	<input type="button" value="이전으로"/>		<input type="button" value="참여신청"/>

### ① 참여교수 신청 완료

제목	참여교수 신청	
신청기간		신규 참여교수 평가
활동기간		결과보고제출기간

- 기존 참여교수의 경우 성과물을 제출해주세요. 성과물을 제출하지 않을 경우 MPW, EDA Tool 지원이 제한될 수 있습니다.

## ④ 최종선정안내

- 기존 참여교수 : 신청 후 선정 안내 이메일 발송
- 신규 참여교수 : 내부 평가 진행 후 최종 선정 안내 이메일 발송 예정.

## 2) 제출 항목 (기존 참여교수만)

### ① 인력배출 현황 작성

- MYIDEC > 참여교수 신청내역 > 2024년 참여교수 클릭
- 2025년도 2, 8월 졸업생의 취업현황을 제출 \* 취업/진학 구분을 명확히 기재  
전년도 졸업생 중 취업현황에 변동이 있으면 반드시 수정 **(IDECK 중요 실적자료로 활용되므로 졸업학위, 취업기관 등 정확한 기재를 부탁드립니다.)**

2025년 참여교수 신청					
신청기간	신규참여교수 평가	활동기간	결과보고 제출기간		
2025-02-03 ~ 2025-02-28	2025-02-17 ~ 2025-03-19	2025-02-19 ~ 2026-02-28	2025-12-01 ~ 2026-02-28		
신청 정보 상세		<input style="background-color: #0070C0; color: white; border: 1px solid #0070C0; padding: 5px; margin-right: 10px;" type="button" value="결과 보고 제출"/> <input style="border: 1px solid #0070C0; padding: 5px;" type="button" value="결과 보고 제출"/>			
<input style="border: 1px solid #0070C0; padding: 5px; margin-right: 10px;" type="button" value="신청 정보 상세"/> <input style="background-color: #0070C0; color: white; border: 1px solid #0070C0; padding: 5px;" type="button" value="결과 보고 제출"/>					

2025년도 결과보고 (졸업/취업 현황) 제출					
인력배출 현황 (2025년 2월, 8월 졸업자)					
<ul style="list-style-type: none"> <li>지도 학생 중 졸업생이 있을 경우 학위,지도교수,졸업년월,취업기관,부서명을 기입하신후 [적용]버튼을 클릭해주십시오.</li> <li>졸업생이 없을 경우에도 [적용] 버튼을 클릭하셔야 합니다.</li> <li>"졸업자구분" 항목 중 <b>재직</b> 중 <b>(직장인)</b>은 학위 시작 전 취업한 학생을 말하며, 이외는 신입(일반)으로 선택해 주십시오.</li> </ul>					
성명	졸업학위	지도교수	졸업년월	졸업자 구분 취업/진학 기관	취업/진학 구분 부서명

- 수행지침동의서 제출

참여교수신청		참여교수수행 지침 동의서	
<b>참여교수</b> <small>참여교수신청안내</small> <ul style="list-style-type: none"> <li>참여교수신청</li> <li>참여교수성과1 성과::논문</li> <li>성과::IP</li> <li>성과::특허</li> </ul>		<p>“한국 반도체산업의 경쟁력” IDECK에서 설계인력양성의 발판을 마련하겠습니다.</p>  <ul style="list-style-type: none"> <li>사업명 : 지능형반도체 전문인력양성 사업</li> <li>사업기간 : 2019년 3월 1일 ~ 2020년 2월 29일</li> <li>총괄 책임자 : 반도체설계교육센터 소장 박인철</li> <li>참여교수 : KAIST 교수 테스트</li> <li>본 수행지침 등에서는 “반도체설계교육센터(이하 IDEC)” 참여교수 협약 체결을 대신한다.</li> <li>참여교수 선정 시 관련 법적 책임은 본인에게 있으므로, 아래 내용을 검토하여 승인하도록 한다.</li> </ul>	
<p>제9조(개인 정보 사용 동의)</p> <p>참여교수는 “참여교수 지원 신청서”의 내용을 실적보고 등 필요에 따라 관계 기관에 제공됨에 동의한다.</p> <p><input type="checkbox"/> 위의 모든 내용에 동의합니다.</p> <p style="text-align: center;"> <input style="border: 1px solid #0070C0; padding: 5px; margin-right: 10px;" type="button" value="확인"/> <input style="border: 1px solid #0070C0; padding: 5px;" type="button" value="취소"/> </p>			

## ② 성과 제출

- 해당기간 : 전년도 3월 1일~당해년도 2월 28일
- 해당기간의 성과를 IDEC 홈페이지 성과 제출 게시판에 업로드
- 제출 시기 : (참여교수 신청 기간 외에도) 수시 제출 가능
- 제출 방법
  - 참여교수성과 탭에서 해당 실적 게시판 클릭
  - 작성 완료후 수정사항이 있을시 수정가능

- 제출 내용 : 논문, 특허, IP, JICAS Citation
  - IDEC 사사 논문은 참여교수 실적 점수로 인정되며, 추후 우수 기여상, 우수 연구상 선정시 반영

### [제출 항목 및 배점 대상 구분표]

항목	분류	제출 내용	배점대상
논문	IDECK 지원받았으며, IDECK 지원을 통한 결과물 및 사사문구 기재, 감사의 글에 지원 내용 표기 있음.	<ul style="list-style-type: none"> <li>• 논문/저널명 풀네임으로 기입</li> <li>• (Published된 경우) 출판일 기입</li> <li>• IDEC 사사문구가 들어간 페이지번호 기입</li> <li>• 논문 전체 첨부파일로 업로드</li> </ul>	○
	IDECK 지원받았으나, IDECK 지원을 통한 결과물 및 사사문구 기재, 감사의 글에 지원 내용 표기가 없음.	<ul style="list-style-type: none"> <li>• 논문/저널명 풀네임으로 기입</li> <li>• (Published된 경우) 출판일 기입</li> </ul>	×
	IDECK 지원받지 않음	<ul style="list-style-type: none"> <li>• 논문/저널명 풀네임으로 기입</li> <li>• (Published된 경우) 출판일 기입</li> </ul>	×
특허	IDECK 지원	<ul style="list-style-type: none"> <li>• 출원증이나 등록증 첫장만 업로드</li> </ul>	×
	IDECK 미지원		
IP	IDECK 지원	<ul style="list-style-type: none"> <li>• 등록기관과 등록내역이 함께 캡처된 파일 업로드</li> </ul>	×
	IDECK 미지원		

- 논문(입력 항목 화면)

반도체설계교육센터  
IC DESIGN EDUCATION CENTER

센터소개 교육/세미나 VOD서비스 MPW EDA Tool 참여교수 홍보마당 IDEC Library

성과::논문

“한국 반도체산업의 경쟁력” IDEC에서 설계인력양성의 발판을 마련하겠습니다.

참여교수신청안내  
참여교수신청  
■ 참여교수성과  
■ 성과::논문  
성과::IP  
성과::특허

논문제목	Algorithm for Synthesis and Exploration of Clock Spines			등록일
ID	tkim	작성자	2017.08.04 11:32	
국외/국내	국외	SCI구분	비SCI	
학회/저널	학회	논문집명	ASP-DAC	
IDECA지원여부	IDECA지원-ACK없음	지원내역	EDA Tool	
상세내역	Synopsis			
주저자	김	공동저자	김	
발행일	2017-01-16 페이지(시작-끝)			
<a href="#">Download</a> Algorithm for Synthesis and Exploration of Clock Spines.pdf(131 Kb)				

- JICAS Citation

- 참여교수 실적에 등록한 논문 중 JICAS 내용을 인용한 논문 실적 인정
- 성과 : 논문 게시판에 논문 등록 및 인용 여부 선택

성과 : 논문

국외/국내  SCI구분

학회/저널  논문집명

IDECA지원여부  지원내역

상세내역

지원 문구 기재 페이지

JICAS Citation  \*\* JICAS 논문을 Reference 내 기재한 경우만 해당

주저자  공동저자

발행일  페이지(시작-끝)

논문제목

논문첨부  선택된 파일 없음

## • IP(입력 항목 화면)

**성과 :: IP**

“한국 반도체산업의 경쟁력”  
IDECA에서 설계인력양성의 발판을 마련하겠습니다.

IP Name Low drop out (LDO) regulator in FlexRay Communication 등록일 2016.10.18 11:39

이름 학교명  
IP Code KU423H0796 등록기관 KIPEX  
거래수 1 등록일 2016-04-29  
IDECA지원여부 IDECA지원 지원내역 MPW  
상세내역 매그나칩반도체/SK하이닉스 180nm  
Category Analog

[\[DOWNLOAD\]](#) Low drop out %28LDO%29 regulator.docx(54 Kb)

KU423H0796 / Register  
IP Code : KU423H0796 | IP 등록일 : 2016-04-29 | 승인일 : 2016-05-12 15:08:31 | 수정하기

IP Name Low drop out (LDO) regulator in FlexRay Communication  
IP Version 1.0  
Category Analog & Mixed Signal > Amplifier/Filter/Bias Circuit > Voltage Reference  
Description The Designed IP is the Low drop out (LDO) in FlexRay communication. The designed IP can  
- Low drop out Voltage: 500mV  
- Output Current: 1.3mA  
- Wide range of supply voltage(2.8V~6V) and temperature(-40°C~80°C)  
- Adjustable Output  
Foundry Magnachip Semiconductor  
Technology 0.18um  $\pm$  < 0.25um  
IP Type Hard IP  
Format Spice  
Silicon Verification Status 개발결과  
적용된(될) Chip의 Function LDO regulators are used to derive lower output voltages from a main supply or battery. They  
- Power management IC, Voltage monitor etc.  
적용된(될) Chip의 Application This IP can be applied to variety of chips which is demanded using the various supply  
BIZ 범위 1. 전 산업용 반도체  
2. 물자류, 가동장비  
3. 전자제품, 소비자제품

## • 특허(입력 항목 화면)

**성과 :: 특허**

“한국 반도체산업의 경쟁력”  
IDECA에서 설계인력양성의 발판을 마련하겠습니다.

특허명 MULTI-REFERENCE CORRELATED DOUBLE SAMPLING DETECTION METHOD AND 등록일 2016.10.24 19:12  
이름 학교명 KAIST  
국제/국내 국제 출원/등록 출원  
출원번호 CN-201610847293.6 등록일 2016-10-24  
IDECA지원여부 IDECA지원 지원내역 MPW  
상세내역 매그나칩반도체/SK하이닉스 350nm

[\[DOWNLOAD\]](#) P-13487-CN(OP2016-055) 출원서류 (1).pdf(1 M)

기존의 열전 냉각기 및 기계적 센터를 제거할 수 있는  
전기적 센터를 회로 동작을 통해 구현함으로써, 획기적으로  
모듈 비용을 감소 시킬 뿐만 아니라, 낮은 동작 운도를 보장하며,  
이를 자유롭게 조정할 수 있음.

[\[목록\]](#) [\[쓰기\]](#) [\[수정\]](#) [\[삭제\]](#)

## ③ 신청내역 확인 및 수정

- 마이페이지 → 참여교수 신청내역에서는 지금까지 참여한 참여교수 신청 상세 내역을 확인 할 수 있으며 지도학생 수정 및 인력배출현황 기입 가능

제목	활동기간	신청일자	상태
2025년 참여교수 신청	2025-02-19 ~ 2026-02-28	2025.02.03	결과보고 제출기간
2024년 참여교수 신청	2024-03-01 ~ 2025-02-16	2024.02.01	마감
2023년 참여교수 신청	2023-03-01 ~ 2024-02-29	2023.02.01	마감
2022년 참여교수 신청	2022-03-01 ~ 2023-02-28	2022.02.04	마감

- 참여교수 신청내역의 상세 페이지를 보면 실적산정기간 중 달성한 실적과 실적별 배점기준에 따라 부여한 점수가 보여지고 해당 점수를 클릭하면 상세 내역도 확인 가능

신청기간	신규참여교수 평가	활동기간	결과보고 제출기간
2025-02-03 ~ 2025-02-28	2025-02-17 ~ 2025-03-19	2025-02-19 ~ 2026-02-28	2025-12-01 ~ 2026-02-28

신청정보상세		결과보고 제출	
2025년 참여교수 신청		[Congress 참여] 2025 IDEC Congress(2025.07.03) 참여	
[Congress 참여] 2025 IDEC Congress(2025.07.03) 참여		1	10
		2025.09.04	
		총계: 10	

## ※ 학회 및 저널 등급표

구분	등급	내용
학술 대회	A	ISSCC / Symposium & VLSI circuit and Technology(SOVC) / CICC
	B	DAC / ICCAD / ASSCC / IEEE RFIC Symposium / ESSCIRC
	C	ISCAS / ASP-DAC / COOLCHIPS / BIOCAS / EMBC / HOTCHIPS
	D	기타 국제 학회
저널	A	IEEE TCAS I / IEEE TCAS II/ IEEE JSSC / IEEE Transaction on Electron Devices/ IEEE Transaction On CAD / IEEE Transactions on Microwave Theory and Techniques (*또는 이에 준하는 저널)
	B	A등급외 관련분야 IEEE 저널(단, IEEE Transactions on Consumer Electronics는 제외) / ACM / SCI-E
	C	기타 국제 저널
	D	국내 저널

## 9. 우수 참여교수 선정

- 1) 5년 이상 활동한 참여교수 중, 최근 1년 동안 참여활동이 우수한 교수를 선정하여 시상
- 2) 선정 방법
  - ① 최종 산출된 실적 점수를 근거로 상위 점수자를 선정(최대 2~3명)
  - ② 해당 실적 : IDEC 참여 실적, 논문실적(IDEC 사사문구가 들어간 논문만 해당)
  - ③ 점수 산출 방법
    - IDEC 참여실적 점수와 논문실적 점수의 비율 = 2:1 적용
    - 위 비율 적용된 값의 총합계 산출
    - 선정 제외 대상 : 최근 2년간 수상자, 수상 대상자 중 불참자
  - ④ 참여교수 운영위원 검토 후 최종 선정
- 3) 시상 : IDEC Congress 개최 시 『우수 기여상』 시상(연 1회, 6~7월)

## 10. 우수 연구교수 선정

1) 당해연도 참여교수 실적인정 논문을 바탕으로 상위 2 명 내외 선정

2) 선정 방법

- ① 최근 3년간 A급 학술대회 발표 및 A급 저널 논문 15편 이상(사사문구가 기입된 논문만 심사 대상으로 함)
- ② 최근 3년간 우수 연구교수 수상자 제외
- ③ 기준에 부합하는 대상자가 없을 경우, 그 해는 수여하지 않음.

\* 참고\_논문 실적 배점기준표

등급	배점	학회명
A급 학회논문	15	ISSCC, Symposium & VLSI circuit and Technology(SOVC) , CICC
B급 학회논문	7	DAC, ICCAD, ASSCC, IEEE RFIC Symposium, ESSCIRC
C급 학회논문	4	ISCAS, ASP-DAC, COOLCHIPS, BIOCAS, EMBC, HOTCHIPS
D급 학회논문	2	기타 국제학회
A급 저널논문	15	IEEE TCAS I, IEEE TCAS II, IEEE JSSC, IEEE Transaction on Electron Devices IEEE Transaction On CAD, IEEE Transactions on Microwave Theory and Techniques
B급 저널논문	7	A등급외 관련분야 IEEE 저널(단, IEEE Transactions on Consumer Electronics는 제외), ACM, SCI, SCI-E
C급 저널논문	4	기타 국제저널
D급 저널논문	2	국내저널

3) 시상 : IDEC Congress 개최 시 『우수 연구상』 시상(연 1회, 6~7월)

## 1. MPW 참가 대상 및 설계 참여시 이행 사항

### 1) 개요

- ① MPW(Multi-Project Wafer)는 대학의 칩제작 지원 프로그램으로 국내 전문설계인력 양성을 위해 특성별 공정 지원으로 운영됨.
- ② 창의적인 아이디어를 실제 칩으로 구현할 수 있는 기술 지원을 제공하여 실질적인 교육 및 연구 지원. 또한 칩제작비를 직접 지원하여 설계할 수 있도록 지원함.
- ③ Layout 과정까지 수행되던 교육 및 연구를 실제 chip의 제작, 시험, 응용까지 연계시킴으로써 설계능력을 갖춘 고급 인력 양성이 가능하도록 함.
- ④ 1996년부터 시행하였으며, 매년 300여개의 칩제작 지원함.

### 2) 참여 조건

- ① 참가 대상 : IDEC 참여교수로 협약서 체결이 완료된 대학교의 연구실
- ② 신청 조건 : 최근 2년간 논문실적(사사문구 포함)이 있을 경우 참여 가능

구분	1. 지정공정(삼성 28nm, 130nm 공정)	2. 희망공정(DB 180nm)
인정 범위	<b>IDEC MPW 참여 인정 논문 중 학회/저널 A/B/C 등급에 2년간 1편 이상 게재한 경우</b>	아래 학회 및 저널 중 A/B 등급에 2년간 1편 이상 게재한 경우
비고	3년 이내 임용된 신임교수는 실적이 없어도 참여 가능함.(2023년 이후 임용) (** 실적 업로드 : IDEC 홈페이지 - 참여교수 - 성과:논문)	

#### [참고] IDEC MPW 참여 인정 논문 (학회 및 저널)

##### [※ 학회]

A 등급 : ISSCC, Symposium & VLSI circuit and Technology(SOVC) , CICC

B 등급 : ICCAD, DAC, ASSCC, IEEE RFIC Symposium, ESSCIRC

C 등급 : ISCAS, ASP-DAC, COOLCHIPS, BIOCAS, EMBC, HOTCHIPS

##### [※ 저널]

A 등급 : IEEE Transactions on Microwave Theory and Techniques, IEEE Transaction On CAD, IEEE TCAS I, IEEE TCAS II, IEEE JSSC, IEEE Transaction on Electron Devices

B 등급 : A등급외 관련분야 IEEE 저널(단, IEEE TCE는 제외), ACM, SCI-E

C 등급 : 기타 국제저널

## ③ MPW 참가 내역에 대한 의무사항 이행 완료팀 (\*신청전 확인해 주세요.)

구분	의무사항	삼성 공정	(희망)DB 공정	(희망)해외 공정						
공통	IP 소개서 제출		Tape out 제출시 web에 작성(마이페이지)							
	결과보고서 제출		칩제작 완료 후 2개월 이내 제출							
	Chip Design Contest(CDC) 참여		칩제작 완료 후 1년 이내 참여(포스터 및 발표영상)							
희망 공정	JICAS 논문 게재	-	<p>* 칩제작 완료 후 1년 이내 제출(*대체 참여 가능)</p> <table border="1"> <thead> <tr> <th>구분</th><th>JICAS 제출 대체 조건</th></tr> </thead> <tbody> <tr> <td>~2024년</td><td>연구실내 학회 및 SCI(E) 저널 2 편에 3회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정</td></tr> <tr> <td>2025년 ~</td><td>연구실내 학회 및 SCI(E) 저널 3 편에 5회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정</td></tr> </tbody> </table>	구분	JICAS 제출 대체 조건	~2024년	연구실내 학회 및 SCI(E) 저널 2 편에 3회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정	2025년 ~	연구실내 학회 및 SCI(E) 저널 3 편에 5회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정	
구분	JICAS 제출 대체 조건									
~2024년	연구실내 학회 및 SCI(E) 저널 2 편에 3회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정									
2025년 ~	연구실내 학회 및 SCI(E) 저널 3 편에 5회 이상을 제출한 실적이 있을 경우 - 1회 의무사항 대체로 인정									

## [참고] 의무사항 이행 여부 확인 방법 :

MY IDEC

MPW신청내역

홈 | MY IDEC | MPW신청내역

○ MPW 신청내역

회차	공정	모집구분	신청일자	채택여부												
SS28-2402회	삼성전자 28nm(LPP)	정규모집	2024.06.20	채택												
	<table border="1"> <thead> <tr> <th>NDA제출</th> <th>DB제출</th> <th>칩 수령</th> <th>결과보고제출</th> <th>CDC참여</th> <th>결제</th> </tr> </thead> <tbody> <tr> <td>제출</td> <td></td> <td></td> <td></td> <td></td> <td>미납</td> </tr> </tbody> </table>	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	제출					미납			
NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제											
제출					미납											
CD120-2401회	삼성전자 삼성 130nm BCDMOS	정규모집	2024.06.20	채택												

④ **취소팀 패널티 적용(2024년부터 적용)**

취소횟수(년기준)	1회	2회	3회 이상
참가신청 제한 (취소년도의 다음해 적용)	차년도 MPW 신청 제한 3개월 (2~4월 모집팀(마감일 기준))	1년	2년 참여 불가
예) 2024년 취소시 2025년 적용 조건	2025년 2~4월	2024년 모집 전체	2024~2025년

- ⑤ 반드시 교육 및 비상업적 연구 목적으로만 제작 참여해야 함.
- ⑥ 이외 목적으로 참여한 것이 확인될 경우 참여교수 지원이 중단됨.

### 3) MPW 참가시 의무 이행 사항 (세부 설명)

: 해당 내용을 모두 이행하여야 차년도 MPW 참여 신청이 가능함.

#### [ 공통 ]

##### ① Rule file 관리 의무

- 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실 담당자만 사용 가능
- 해당 설계 외 사용 및 외부 유출이 되지 않도록 철저한 보안유지
- 관리 소홀로 외부 유출이 될 경우 법적 책임이 주어지며, IDEC 참여교수 활동 제한함.
- 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실의 지도교수와 설계참여자만 사용 가능

##### ② IP 소개서 제출

- Tape out 제출시 web에 작성(마이페이지)

##### ③ 결과보고서 제출(칩제작 완료 후 2개월 이내 제출)

- 영문 4-5쪽 이상으로 작성하여 제출
- 설계 검증 결과를 포함하여 작성

##### ④ 결과 발표(IDECK Chip Design Contest) : 칩제작 완료 후 1년 이내 참여

- 논문 제출 및 데모(패널) 전시
- CDC 개최 학회

: KCS(1-2월중 개최), IDEC Congress(7월 개최), ISOCC(10-11월 중 개최)

##### ⑤ MPW 참여시 이전 참여한 MPW 중 이행하지 않은 내역이 있을 경우 참가 신청이 되지 않음. (연구실 단위로 적용됨.)

#### [ 희망공정 설계팀 ] – 기존 지원 받은 해외희망공정팀 포함.

##### ① JICAS 게재 의무 : 칩제작이 완료된 후 1년 이내 제출

- 내용 : 설계 참가시 작성된 내용을 기반으로 작성하는 것이 원칙임.
- JICAS 참여 대체 조건(2021년 희망공정 참여팀부터 적용) : 해당 학회 및 저널에 논문 기재된 경우
  - **(★)JICAS 제출 대체 방법** : 해당 연구실의 논문 작성시 JICAS 를 Citation(Reference 항목 추가)한 실적으로 대체 가능

년도	JICAS 제출 대체 조건	비고
2021년 ~2024년	<u>연구실내 학회 및 SCI(E) 저널 2 편에 3회 이상을 제출한 실적이 있을 경우</u> - 1회 의무사항 대체로 인정	논문 2 편 이상이 작성되어야 하며, citation은 1 편에 최소 1회, 최대 2회까지 인정함. 단, 3회 이상의 실적은 연구실의 자체 실적으로 인정
2025년~	<u>연구실내 학회 및 SCI(E) 저널 3 편에 5회 이상을 제출한 실적이 있을 경우</u> - 1회 의무사항 대체로 인정	논문 3 편 이상이 작성되어야 하며, citation은 1 편에 최소 1회, 최대 2회까지 인정함. 단, 5회 이상의 실적은 연구실의 자체 실적으로 인정

- **대체 논문 등록 방법** : IDEC 홈페이지 – 교수님 login – 참여교수 – 논문등록  
- 등록시 'JICAS 대체 클릭'(상시 등록 가능), 담당자에게 실적 입력 요청  
이메일 발송하기(조일선 주임, ilsun@kaist.ac.kr)

#### 4) 관련 양식 다운로드, 작성 페이지

- ① 설계회로설명서 : 홈페이지 MPW 참여안내 – MPW Flow(1번항목) 다운로드
- ② 결과보고서 : 홈페이지 MPW 참여안내 – MPW Flow(9번항목) 다운로드
- ③ 수정신청 :: MYIDE – MPW/희망공정 – 해당회차 – 수정신청
- ④ IP 소개서 제출 (layout 사진 + IP 내용 10줄 내외)  
: MYIDE – MPW/희망공정 – 해당회차 – DB 제출 클릭 - DB제출서 등록
- ⑤ 결과보고서 제출  
: MYIDE – MPW/희망공정 – 해당회차 – 결과보고서 제출
- ⑥ CDC 참여 : 홈페이지 CDC 신청 – 희망 참여 CDC 참여 신청  
(\*\* 참여했던 내역은 MYIDEC-CDC에서 확인할 수 있음.)
- ⑦ JICAS 제출 페이지 : [Journal of Integrated Circuits and Systems](#)(바로가기)
- ⑧ 칩수령 신청 : 방문시 해당회차 설계팀에게 보낸 메일의 "수령신청"을 클릭하고 신청
- ⑨ 방문확인서 발급 : 설계자 개인 페이지에서 신청 가능(MYIDEC) – 신청 후 방문여부 확인 후 발급됨.

★ MPW 신청과 의무사항 이행 내역은 참여교수님 ID로  
로그인하셔야 제출 및 확인이 가능함.

## 2. 2026년 MPW 지원 내역 및 일정

### 1) 2026년 MPW 지원 내역

① MPW 지원 공정 내역 : 정확한 지원 수와 지원 규모는 2월 말 공지 예정

- **지정공정** : 삼성에서 제작 지원되는 공정으로 모든 설계 환경과 일정은 지정된 내역으로 제작 진행.

=> **4개** 공정(삼성 14nm & 28nm & 130nm) **최대 232개** 칩 제작 지원

- **희망공정** : 제작비를 직.간접적으로 IDEC에서 지원하는 공정

a. (국내)희망공정 : DB Hitek 180nm

=> **년1회 최대 22개** 칩 제작 지원(팀별 약 600만원 제작비 지원)

b. (해외)희망공정 : 지원 중단 예정(2026년)

=> 예산 감액으로 인해 지원을 중단하게 됨.

구분	회사	공정	공정내역	Size (mmx mm)	칩수 /1 회	모집 횟수	Package 사용 pin 수(Design)	Package type	
지정 공정	삼성	14nm	FinFET	3.55x 3.55	48	1	208pin	BGA	
		28nm LPP	CMOS RF 1-poly 8-metal	4x4	48	2	208pin	LQFP 208pin	
		28nm FD-SOI	FD-SOI (Fully Depleted-Silicon on Insulator)	4x4	48	1			
		130nm BCDMOS	BCD1370HP (~70V)	3.55x 3.55	20	2			
(국내) 희망 공정	DB Hitek	180nm BCDMOS	CMOS 1-poly 4-metal TM	5x5	22	1	지원하지 않음.		
(해외) 희망 공정	국내외 공정	<b>2026년 지원 중단</b>							

② 지원 공정 세부 내역 확인 방법(아래 창에서 참여 방법과 일정 확인 가능)

**MPW / CDC**

**MPW참여안내**  
홈 | MPW / CDC | MPW참여안내

**“한국 반도체산업의 경쟁력”**  
IDECK에서 설계인력양성의 발판을 마련하겠습니다.

**MPW참여안내**

- MPW신청
- 희망공정신청
- CDC소개
- CDC신청
- CDC영상
- IP Library
- Soket/Board
- Package업체정보
- 테스트보드업체정보

**MPW(Multi-Project Wafer)**

- 국내 대학(원)에서 시스템반도체 실무설계 능력을 가진 인력 양성을 위해 칩설계에서 제작까지 경험할 수 있도록 기회 제공
- 삼성전자, 매그나칩반도체, SK하이닉스, 동부하이텍, TowerJazz의 칩제작 지원
- Semitea, Amkor 패키지 사업 지원
- 매년 10개 내외의 공정으로 공모전 진행, 300여개의 Chip 제작
- 참여 대상 : IDECK 참여교수/참여학생

**MPW Flow**

## 2) 2026년 MPW 진행 일정

- 회차 표기 방법 변경

: “공정코드-년도모집순서”(예시) 삼성 28nm FD-SOI 2026년 01회차 : SF028-2601)

- **지원 공정은 공정사와 협의 중이며**, 이에 대해 결정이 되면 자세한 일정 안내 가능함.

- 아래 일정 및 지원 내역은 최종 확정 전으로 조정 가능함. (\*\*2월 말 확정)

- 모집 : 모집 마감 2주전부터 접수
- 선정 결과 : 모집 마감 후 20일내 개별 통보
- Package 제작 지원 공정 : Die out 이후 1개월 소요됨.
- 진행 일정 계획(안)

공정	회차구분 (공정_년도순서)	제작칩수	모집 및 선정	DB 마감	Die-out
삼성 14nm FinFET	SS014-2601	48	2026.06	2027.02.15	2027.07.31
삼성 28nm LPP	SS028-2601	48	2026.03	2026.07.06	2026.12.26
	SS028-2602	48	2026.06	2027.01.18	2027.07.10
삼성 28nm FD-SOI	SF028-2601	48	2026.04	2026.09.07	2027.03.10
삼성 130nm BCDMOS	SB130-2601	20	2026.03	2026.07.06	2026.11.30
	SB130-2602	20	2026.05	2026.12.01	2027.04.30

공정	회차구분 (공정_년도순서)	제작칩수	모집 및 선정	DB 마감	Die-out
DB Hitek 180nm BCDMOS	DB180-2601	22	2026.03	2026.07.20	2026.12.10

3) MPW 지원 공정별 내역 정리

- 공정별 진행 절차

공정	NDA체결	설계 설명회	DB 제출 (IP소개서)	Fab out	결과보고서/CDC 참여	JICAS
삼성	14nm & 28nm & 130nm	설계팀-삼 성간 계약	선정 후 4주 이내 개최 (온라인 제공 필 수 구독)	1차) DB 제출서 (IP 소개서) 작성(Web) 2차) 설계데이터 제출(DB-지 정된 Ftp)	IDECK에 서 배포	(전체동일) 결과보고서 – 칩 제작 후 2개월 이내 제출 <b>CDC</b> – 칩 제작 완료일 기준 1년 이내 참여
DB Hitek	180nm BCD	설계팀-공 정사-IDECK 간 체결				우수팀에 제출 요청  제출 의무 - 칩수령후 1년 이내 (*대체가능)

- 참가비(\*2024년 기준이며, 최종 지원 기준은 2월 중 공지)

구분	공정		참가비		참가신청	선정평가구분
지정 공정	삼성		14nm FinFET 28nm LPP 28nm FD-SOI 130nm BCDMOS		★미정 : 지원에 필요 한 예산에 맞춰 배정 할 예정임.	설계회로 설명서 (4쪽 내외)
희 망	국내	DB Hitek	180nm BCDMOS			모집팀수 > 제작가능수

### 3. MPW 참여 방법

#### 1) 참여 대상 및 준비사항

- ① 참여 가능 대상자 : IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실로 최근2년간 IDEC 지원 사사문구가 포함된 학회 및 저널에 게재한 논문 실적이 있는 경우 신청이 가능함.(해외 희망공정의 경우는 국제학회 및 저널 실적이 있어야 지원이 가능함.)
- ② **설계회로설명서**(설계계획서로 사전 작성하여 신청 시 첨부해야 함.)
  - 공정사 제출 및 평가 자료로 활용(설계 내용과 동일해야 함.)
  - 국문 또는 영문으로 4쪽 이상으로 작성.
  - **설계회로설명서 양식 및 작성요령**(\*IDEC 홈페이지-MPW-MPW참여안내 다운로드)
- ③ 삼성 공정 설계 참여팀은 IDEC 클라우드 서버를 접속하여 설계 진행
  - 서버 접속 : NDA 계약 체결자(지도교수와 실설계자 – 참여신청 설계명단)
  - IDEC 클라우드 서버 접속 방법 등 관련 안내 : 선정팀에게만 별도 안내함.

#### 2) 진행 절차(Flow)

설계자 모집

- 참여 대상 : 참여교수
- 모집 : 정규모집으로 진행
- 제출서류 : 설계회로설명서(국문 또는 영문 : 4~5쪽)

#### [모집별 운영 방법]

모집구분	모집
모집팀수	제작 가능 칩 수의 100% 이내 모집(*미달시 추가모집 진행)
선정방법	삼성공정 : 모집팀수>제작 가능 수 =>의 경우 평가로 선정 이외 공정 : 모든 참여팀을 평가하여 제작 지원팀을 선정함.
설계설명회	회차별 개최(선정 후 4 주 이내 개최) 또는 온라인 자료 제공
NDA 체결	선정 안내 후 제출(지정공정 : IDEC을 통한 일괄 체결, 희망공정 : 설계팀의 개별 체결)

모집구분	모집
Design Kit(DK)배포	<p><b>지정공정</b>) NDA 제출 이후 IDEC에서 일괄 배포(수령 방법은 채택 통보시 안내)</p> <ul style="list-style-type: none"> <li>· M/S 공정 및 DB Hitek 공정: ftp를 통해 데이터 수령</li> <li>· 삼성공정 : IDEC 클라우드 서버 접속으로만 사용 가능</li> </ul> <p><b>희망공정</b>) 설계팀이 NDA 체결 후 직접 수령, 체결 업체를 통해 제공받음.</p>
참가비 납부 (지정공정)	선정 안내 후 1개월 이내 납부 완료

선정 평가

- 진행 : 모집마감 후 20일내 선정 완료
- 대상 : 참여팀에 대해서는 모두 평가를 통해 지원팀 선정(단, 삼성공정은 신청팀이 미달할 경우 평가없이 모두 제작 기회 제공)

[선정 절차]

접수 마감

- 정규모집 미달 시에만 추가 접수 진행

회로설명서 확인

- 제시한 양식에 맞춰 작성 여부를 확인함.
- 수정기간 : 마감후 4 일 이내

선정 평가 진행

- 1) 1연구실 1개칩을 기준으로 우선 적용하여 순위에 따라 선정
- 2) 참여팀에 대해서는 모두 평가를 통해 지원팀 선정(단, 삼성공정은 신청팀이 미달할 경우 평가없이 모두 제작 기회 제공)

선정 결과 발표

- 마감 후 20 일 이내 결과 공지

NDA접수 & PDK배포

- 대상 : 선정된 설계팀(지정공정 설계 참여팀)
- NDA 접수 : 선정 후 10일이내 접수(공정별 차이가 있음.)
- 데이터 제공 : NDA 접수 후 Ftp(또는 서버 제공)를 통해 제공함.

[공정별 NDA 체결 방법]

구분	DB Hitek 공정	삼성 공정
제출방법	공정사가 제공한 양식으로 작성	
계약체결 대상	설계참여대학 - 공정사 - IDEC	설계참여대학 - 공정사 (IDECK은 각 학교의 대리인 역할 수행)

제출시기	선정 완료 후 15일내(공정사의 양식검토로 지연될 수 있음)	
PDK 제공 방법	FTP를 통해 다운가능	IDECK 클라우드 서버에 위치 -서버 접속하여 설계진행
PDK 제공 시기	공정사의 NDA 승인 후 제공(NDA 마감 후 10일이내)	공정사의 NDA 승인 후 접속하여 설계 가능
비고		NDA는 각 학교별 계약 체결. 총장(또는 산학협력단장)의 직인 날인-설계팀에 별도 안내

설계설명회  
개최



- 대상 : 지정공정)선정된 설계팀 중 NDA 제출팀 참여 가능함. 설명회 참여 또는 제공된 시청각 자료를 시청해야 PDK를 제공함  
희망공정)설계설명회가 개최되지 않음.
- 개최 : 지정공정은 선정 후 4주 이내(희망공정은 개최하지 않음)
- 참여의무 : 1개팀 1인 이상 참여(단, 해당년도 1회 이상 참석자는 제외)

참가비  
납부 및  
지원



- 삼성 & DB 공정 : 참가비 납부를 선정 후 30일 이내해야 함.
- (해외)희망공정의 경우 : 설계팀이 공정사로부터 받은 견적서를 제출하면 IDECK 지원 금액을 확인하여 견적서를 발행해서 제출해 야함. (fab in 6주 전)
- 지원 절차 : 해당 설계팀에게 개별 연락하여 해당업체에 칩제작비 지원

DB 접수  
(지정공정)



- DB 제출 안내 : 제출일 4주전 공지
- DB 접수
  - 1)Web-DB제출 검증(DB공정 제외) 2)Web-DB 제출서 작성 3)Ftp DB 업로드(삼성공정은 클라우드 서버)

- 팀별 Device Logo 및 Login account No. 지정
- DB 제출시 : IP개요 및 Layer 사진도 업로드 해야 제출 가능함.

### DB 검토

- DB 검토 : 접수 후 2주~4주 내 검토하여 공정사 전달
- 검토 진행 : 담당 연구원(삼성 및 DB 공정)
- 희망공정은 설계팀에게 개발 검증



- DB Hitek 공정 : 제시된 ftp에 제출
- 삼성 공정 : 1~2주전부터 검토 작업 후 머지 진행
- 희망 공정 : 설계팀 내에서 자체 검증하여 제출

### 결과보고서 /NDA폐기확인서 인서 제출

- 제출 : 칩 제작완료 일로부터 2개월내
- 방법 : Web에서 제출
- 결과보고서: 영문 5쪽 이상으로 작성
- NDA 폐기확인서: 모든 설계팀 서명 필수(결과보고서 제출시)

### CDC 참여

- 3회 개최 : 한국반도체학술대회(1-2월), IDEC Congress(6월), ISOCC(10-11월)
- 참여 방법 : 논문 제출, 전시 참여(데모 또는 패널)
- 설계팀은 포스터 및 발표 영상을 업로드해야 함.



### JICAS 논문제출

- 설계전문학술지 : 논문 제출
- 희망공정은 제출 의무(제작완료 후 1년이내 제출, 대체 논문 가능)

## 4. 참여방법(지정공정)

### 1) 설계 참여팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
  - 설계 내용 확인 및 평가시 자료로 활용(설계 내용과 동일해야 함.)
  - 내용 구성 : 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법, 설계면적에 대해 내용 기재
  - 국문(또는 영문) 4~5 쪽으로 작성(2016년 MPW부터 적용)
  - 회로설명서 양식 및 작성요령 파일 다운로드(\*IDECK 홈페이지/MPW/참여안내)
- 삼성 공정 설계는 IDECK 클라우드 서버로 접속해서만 설계가 가능함.
  - 접속 방법은 설계 참여자에게 별도 안내

### 2) 신청 확인

- 지도교수 ID – 마이 페이지에서 확인
- 접수 기간 내에만 수정/취소 가능(평가전까지는 직접 수정 가능)
- 평가 진행 후는 마이페이지에서 수정/취소 신청을 해야 함. 직접 수정이 아닌 메일로 내용이 전달되도록 함.  
(취소기간에 따라 패널티 적용 범위가 다름.(참가비 항목 참조))

#### ① 신청서 수정 방법

- 모집 기간 내 수정
  - 마이페이지에서 내역을 수정할 수 있음.
  - 예외) 경쟁률이 높아 평가 진행되는 회차는 평가 준비 기간 내도 수정 가능함.
- 모집 기간 후 수정
  - 마이페이지 – 수정 – 메일로 전달 – 이후 수정 처리됨. (아래 그림 참조)

○ SS28-2202회 삼성전자 28nm (정규모집)

신청기간	평가기간	선정발표	NDA 제출기간	결제기간	DB 제출기간	Die-out Package	결과보고 제출기간
2022-04-25 ~ 2022-05-16	2022-05-20 ~ 2022-05-29	2022-05-30	2022-05-30 ~ 2022-06-23	2022-05-30 ~ 2022-06-30	2022-12-26 ~ 2023-01-16	2023-07-10 2023-08-10	2023-07-11 ~ 2023-09-10
신청 정보 상세	교육VOD	DB제출	수정신청	클라우드서버신청			

○ 이메일 수정신청

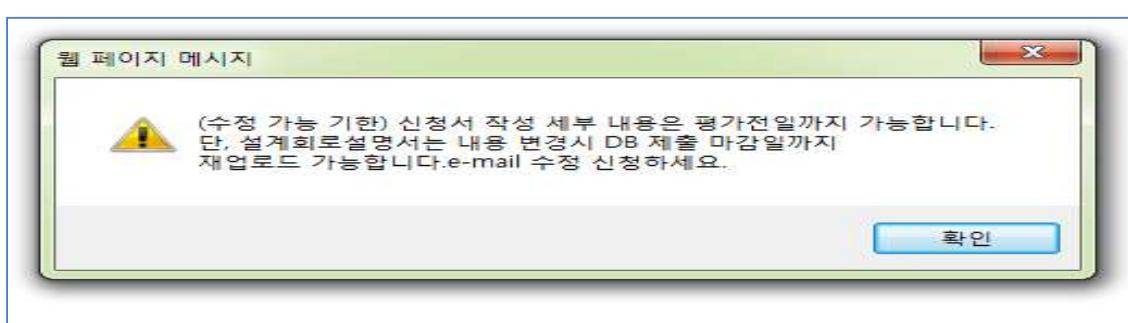
회차	SS28-2202(정규모집)	공정명	삼성전자 28nm
이름	김철우	학교명	고려대학교
회로제목	A Multi-Phase Interleaved Synchronous Quasi-Digital LDO with Adaptive Sampling Scheme		

▣ 수정내용(자세하게 기재해주세요)

- 설계 참여 학생 추가의 경우 교과과정, 현재 학기를 입력해주세요

수정 전 내용	수정 희망 내용
예시1) Package BGA type 예시2) 설계자 추가 희망	예시1) Package LQFP type으로 변경희망 예시2) 000 석사 3학기 추가

이전으로
제출



## 3) 설계팀 선정

### ① 채택확인

- 지도교수 ID - 마이 페이지에서 확인
- 선정 안내 : 마감 후 15일내 선정 안내함. (평가 진행 시 다소 선정이 지연될 수 있음.)
- 선정 방법 : 경쟁률이 높은 경우 아래의 기준으로 평가 진행하여 선정함.



- 많은 설계팀이 참여가 가능하도록 효율적 설계 면적 활용에 배점을 추가하여 평가 진행.

### ② 설계팀 선정

#### 접수 마감

- 정규모집 미달 시에만 추가모집 진행

#### 회로설명서 확인

- 제시한 양식에 맞춰 작성 여부를 확인함.
- 수정기간 : 마감후 4일이내

#### 선정 평가 진행

- 삼성공정)참여팀수<지원수 : 평가 진행(선정 절차대로 진행)
- 삼성공정 외)모든 팀 평가로 선정함.

#### 선정 결과 발표

- 마감 후 15일 이내 결과 공지

#### - 선정 절차

- 1 연구실 1 개침을 기준으로 우선 적용하여 순위에 따라 선정
- 설계 면적 재조사를 통해 전체 면적 조정
- ①~② 적용으로 조정이 이뤄지지 않을 경우 평가로 결정

## • 평가 진행 기준

★ 평가 자료 : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ 평가위원 : 공정 참여 지도 교수로 위촉

평가위원 참여 연구실에는 평가 가산점 부여

★ 평가 항목 및 배점 내역(100점)(배점 조정 : 2015.2월 모집부터 적용)

- |                      |  |            |
|----------------------|--|------------|
| 1) 디자인의 우수성 30점      | 2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점 |            |
| 3) Chip수령 후 검증방법 15점 | 4) Design size(공간 활용도) 25점             | 5) 활용계획 5점 |
| 6) 평가위원들의 주관적 점수 10점 |  |            |

### ★ 선정 원칙

경쟁률이 높을 경우 '1연구실 1개집'을 기준으로 우선 적용하여 순위에 따라 선정

우선 선정 후 남은 면적에 대해서는 평가 결과에 따라 제작 기회 제공

\*추가 가산점 : 면적을 1/2 또는 1/4로 조정한 경우

4) NDA(Non-disclosure agreement) 접수 및 설계데이터(PDK) 배포(지정공정에 해당됨.)

- ① NDA(Non-disclosure agreement) : 설계시 필요한 PDK(Process Design Kit) 제공을 위해 설계자-공정사(대리: IDEA)간 보안유지협약서
- ② NDA 체결 대상 : MPW 선정 팀
- ③ 공정별 별도 NDA 제출 안내(지정공정에 한함.)
- ④ 공정별 NDA 접수 방법
  - 삼성/DB Hitek 공정 : 날인된 원본 우편 접수 - 실사를 통해 PDK 제공

#### NDA 양식 제공

- IDEA-공정사 협약 이후 양식이 제공됨.
- 대학별 양식 제공(삼성)/일괄 양식 제공(DB Hitek)

#### 참여대학에 양식 전달

- 양식과 작성, 제출 방법에 대해 안내함.
- 10 일 이내 제출
- 원본 2부(대학의 기관장 날인)

#### NDA 접수 (IDEA)

- 대학별 제출한 원본 서류 취합하여 삼성 전달
- 전달시 사본 보관

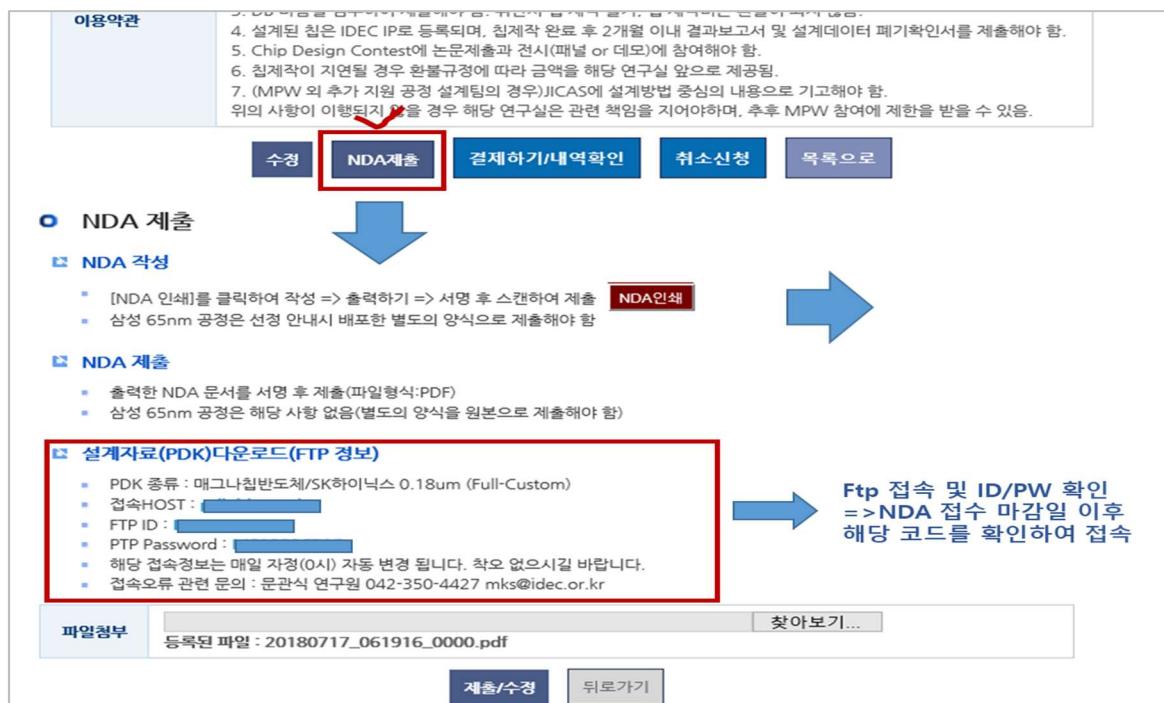
#### 공정사의 최종 접수 (1부 전달)

- 전달 받은 NDA는 최종 승인
- 승인 후 원본 1부를 IDEA에 다시 전달함.

#### 설계팀에 전달

- 전달받은 서류를 대학 담당자에 전달

- NDA 체결
    - MPW 참여 대학 – 삼성과 체결(IDEc은 대리인 역할)
    - 각 대학의 대표는 기관장으로 한다.(총장 또는 산학협력단장)
    - 체결은 대학에서 설계 참여시 진행됨.
  - 체결 방법
    - 대학에서 날인한 원본 2부를 IDEc에서 접수
    - 접수한 서류를 삼성에 전달
    - 공정사에서 최종 직인 날인하여 대학별 1부를 IDEc에 발송해 줌
    - 발송된 내역은 각 대학 담당자에게 발송해 준다.
    - 참고) IDEc에서는 해당 서류의 사본을 보관한다.
  - 특이 사항
    - 대학별 1년에 1회 체결로 동 대학의 모든 설계팀은 참여 가능. 단, 이외 설계팀은 약식의 NDA 제출을 해야 함.(공정사의 사정에 따라 달라질 수 있음.)
    - 계약자는 '참여학교- 공정사'이며, 학교별 NDA 승인은 총장(또는 산학협력 단장)이 해야 함.
- ⑤ 설계데이터(PDK) 배포 방법 및 시기
- 체결 대상 : PDK는 설계에 필요한 데이터로 NDA 체결한 설계팀에게만 전달됨.
  - 공정별 배포 방법과 시기에 차이가 있음.
  - 해당 데이터는 IDEc에서 보유하며, 설계팀의 보안도 IDEc에서 관리 감독한다.
  - DB Hitek 공정
    - Web에서 접수 – Ftp로 PDK 제공
    - Ftp 접속 방법 및 배포
  - NDA 접수 마감일 이후 마이페이지-NDA제출(web)에서 접속 Host 및 ID/PW를 확인할 수 있도록 설정됨.
  - ID/PW는 매일 변경되며, 데이터 수령시 마이페이지에서 재 확인 필요
    - 배포 기간 : NDA 접수 마감일 후 ~ DB 제출 전까지
    - PDK 폐기 : 칩 테스트 완료 후 폐기. 또는, 설계 중 제작 포기시(폐기시 반드시 NDA 폐기확인서 제출되어야 함. )



(그림 1)DB 공정 PDK 수령 방법(web)

- 삼성 공정
  - IDEC 클라우드 서버에 접속하여 사용 가능함.
  - 접속 및 사용 방법은 설계팀별로 안내함.
- 공통) 설계자 추가 시
  - 이후 설계자의 추가 참여자가 있을 경우 NDA를 추가 제출해야 함.
    - web에서 수정 신청 비고란에 추가자 이름 기재하여 수정 신청함.
    - 수정 신청 접수 후 처리 방법을 회신 받으면 NDA를 추가 제출하면 됨.
  - 단, 수정 신청하여 설계자는 설계지도교수의 학생으로 web에 등록되어 있어야 함.(등록방법 : 설계지도교수 – 참여교수란에서 학생 추가 가능)
- NDA Design Kit 보안 유지 관련 공지
  - 주기적인 공지를 통해 보안에 대해 인식을 강화시킨다.

IDECK의 MPW 참가를 통해 전달받은 Design Kit 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 데이터 유출 시 개인은 물론 소속된 참여교수에도 자격 박탈 등 강력한 규제가 가해질 수 있습니다. 뿐만 아니라 해당 공정사의 이의 제기 시 민, 형사상 책임을 물을 수 있습니다.

MPW 참여자 분들은 Design Kit 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 NDA 상에 기재된 폐기 날짜 안에 반드시 폐기하여 주시고 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

### 5) 설계설명회 개최(지정공정)

- ① 개최 시기 : 회차별 정규모집 선정 완료 후 1개월 이내 개최
- ② 참여 대상
  - MPW 선정팀으로 NDA 제출한 팀 설계자(해당 회차의 설명회 참석해야 함.)
  - NDA 제출시 서명한 설계자만 참여 가능함.
  - 해당 설계 참여자 1인 이상 반드시 참석해야 함. 단, 같은해 동일공정에 대해 여러 회차 참여시 해당 공정 첫 회만 참석해도 됨.
- ③ 내용 : 공정 설명 및 설계시 유의사항 등
- ④ 자료 배포
  - 설계자로 NDA 제출팀에만 제공
  - DB Hitek 공정: 온라인으로 진행되며, 해당 자료는 PDK 배포시 함께 제공
  - 삼성 공정 : web에서 시청이 가능한 영상 자료 제공. 자료는 서버에서 확인 가능함.
  - 참고 사항 : 설명회 영상 및 참여가 확인되어야 PDK 제공이 가능함.

### 6) DB 접수(지정공정)

- ① DB 제출 절차
  - DB 공정 : 1)제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 =>2)DB 제출 : ftp 업로드
  - 삼성 공정 : 1)제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 =>2)DB 제출 : 해당 서버에 업로드
  - 해외 희망공정 : tape out과 동시에 DB 제출서 및 IP소개서 작성 (web) – 해당 내용 미 기재시 제작비 지원이 필요한 내용임..
- ② 절차 1 : DB 제출서 작성
  - 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
  - 설계회로설명서와 설계 내용이 상이한 경우 : 최종 설계 내용에 맞게 작성해서 재 제출 요청
  - 재제출 방법 : 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 -> 내용 수정 처리
  - **IP 개요 : 반드시 50~100자 이내로 기재**
  - 해당 제출서 작성 후 DB 제출 ftp ID/PW 확인 가능

## ③ 절차 2 : DB 제출 방법

- 접수 기간 : 마감일로부터 20일전부터 접수(공정별 별도 안내함.)
- 제출 Ftp IP : 143.248.230.161
- ID/PW : web에서 DB 제출서 및 IP 등록신청서 작성시 확인
- DB 제출시 확인 사항
  - PW는 telnet 접속 후 변경
  - PW 변경한 경우 DB 제출 후 재 접속하여 정상적인 제출 확인 필요
  - DB 미제출 경우 납부한 칩제작비 환불 불가함.
  - DRC 재 검토 시 비용 추가 : DB 검토 오류가 있을 경우 2회부터는 ₩50,000(/회)
  - DB 재검토 의뢰서=> 오류가 많아 검토가 지속되면 칩제작 일정이 지연될 수 있어 적용된 패널티 임.(\*양식은 DB 제출 안내문을 통해 전달됨.)

### 7) DB 검토(사전 검증)

- ① 공정별 담당 연구원이 검토는 진행
- ② DB 검토 기간 : 2~4주(공정과 접수 사정에 따라 기한이 조정될 수 있다.)
- ③ 공정별 담당 연구원

삼성 28nm	삼성28nm(Analog) / DB Hitek 180nm
김연태 책임	조인신 책임

### 8) 칩 배포

- ① 칩제작 기간
  - 공정별 12~22주 소요됨
  - 제작 기한에 2~3주 전부터 완료일 확인(공정사)
  - 제작이 지연될 경우 설계팀에 사유와 제작 예정 일정 공지
- ② 칩 배포 절차
  - : IDEC 칩도착 ->설계팀에 안내 ->수령 신청서(web, 설계팀) ->방문하여 수령
- ③ 칩배포 기간 : 제작 완료일 ~ 3주이내
- ④ 칩사진 제공
  - 칩사진 -> web에서 받을 수 있도록 업로드
  - Web에서 다운 가능(마이페이지 - 신청자 정보(아래 그림 참조))

## ▣ 신청자정보

- 신청 취소는 MPW 담당자에게 문의하시기 바랍니다.
- 첨 사진 다운로드 : S65\_1501\_01\_GILHK.jpg

### ⑤ 칩 배포

- 칩 수령은 직접 수령을 원칙으로 함.(분실 및 파손 우려)
- 칩 수령 전 반드시 수령 신청서를 web에서 작성하고 방문해야 하며, 수령 당사자에게만 배포한다.

마이페이지

회원수정

비밀번호변경

IDECK 참여내역

교육신청내역

VOD신청내역

WG참여내역

**MPW신청내역**

EDATool신청내역

CDC신청내역

JICAS논문투고내역

적립금내역

WG평가

MPW평가

CDC평가

“한국 반도체산업의 경쟁력”  
IDECK에서 설계인력양성의 발판을 마련하겠습니다.



**○ MPW신청내역**

회차	공경	모집분	신청일자	채택여부	공경상태									
S65-1601회	삼성전자 65nm	정규모집	2016-02-01	채택	DB마감일 변경 (06.27~>08.01), Die chip 완료일 (2017.01.09~>20.13)									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; text-align: left; padding: 2px;">NDA제출</td> <td style="width: 20%; text-align: left; padding: 2px;">DB제출</td> <td style="width: 20%; text-align: left; padding: 2px;">칩 수령</td> <td style="width: 20%; text-align: left; padding: 2px;">결과보고제출</td> <td style="width: 20%; text-align: left; padding: 2px;">CDC참여</td> </tr> <tr> <td style="text-align: left; padding: 2px;">해당없음</td> <td style="text-align: left; padding: 2px;">제출</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> </tr> </table>	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	해당없음	제출	[Red Box]	[Red Box]	[Red Box]			
NDA제출	DB제출	칩 수령	결과보고제출	CDC참여										
해당없음	제출	[Red Box]	[Red Box]	[Red Box]										
S65-1503회	삼성전자 65nm	우선모집	2015-04-20	채택	제작중									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; text-align: left; padding: 2px;">NDA제출</td> <td style="width: 20%; text-align: left; padding: 2px;">DB제출</td> <td style="width: 20%; text-align: left; padding: 2px;">칩 수령</td> <td style="width: 20%; text-align: left; padding: 2px;">결과보고제출</td> <td style="width: 20%; text-align: left; padding: 2px;">CDC참여</td> </tr> <tr> <td style="text-align: left; padding: 2px;">해당없음</td> <td style="text-align: left; padding: 2px;">제출</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> </tr> </table>	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	해당없음	제출	[Red Box]	[Red Box]	[Red Box]			
NDA제출	DB제출	칩 수령	결과보고제출	CDC참여										
해당없음	제출	[Red Box]	[Red Box]	[Red Box]										
S65-1501회	삼성전자 65nm	정규모집	2015-03-25	채택	제작완료									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; text-align: left; padding: 2px;">NDA제출</td> <td style="width: 20%; text-align: left; padding: 2px;">DB제출</td> <td style="width: 20%; text-align: left; padding: 2px;">칩 수령</td> <td style="width: 20%; text-align: left; padding: 2px;">결과보고제출</td> <td style="width: 20%; text-align: left; padding: 2px;">CDC참여</td> </tr> <tr> <td style="text-align: left; padding: 2px;">해당없음</td> <td style="text-align: left; padding: 2px;">제출</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> <td style="text-align: left; padding: 2px;">[Red Box]</td> </tr> </table>	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	해당없음	제출	[Red Box]	[Red Box]	[Red Box]			
NDA제출	DB제출	칩 수령	결과보고제출	CDC참여										
해당없음	제출	[Red Box]	[Red Box]	[Red Box]										

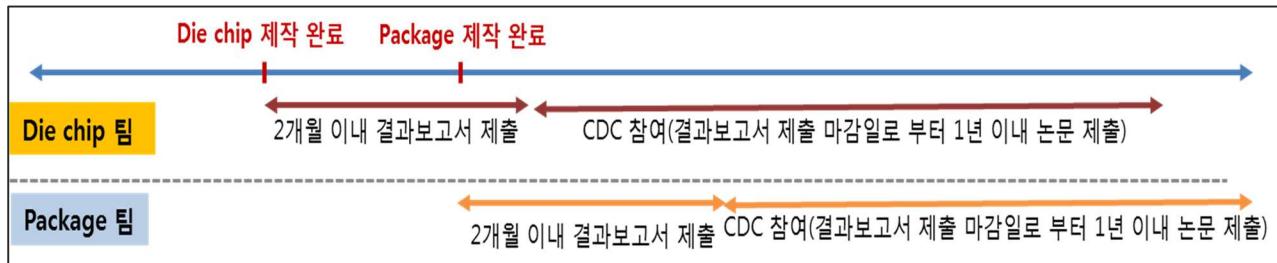
(설계팀의 칩수령 신청서 작성 페이지)

### 9) 결과보고서 제출

- ① MPW 설계팀은 칩제작 완료 후 2개월이내 제출 의무를 가진다. (2015년부터 적용)
- ② 접수
  - 칩제작 완료 후 2개월이내 제출
  - 결과보고서 미제출 시 해당 연구실은 MPW 신청이 불가함.
- ③ 내용 : 설계회로설명서의 내용을 바탕으로 설계 결과를 포함하여 작성
- ④ 활용
  - MPW 지원 공정사에 보고서로 제출
  - 우수 내용을 선별하여 JICAS에 게재할 예정입니다. 단, 게재팀으로 선정시 설계자와 최종 내용에 대해 상의한 후 게재한다.

## ⑤ 제출 기한

- 칩제작이 완료된 후 2개월 이내 제출해야 함.
- 해당 기간 내 미제출한 경우 이후 MPW 참가 신청이 되지 않음.
- ※참고 : 결과보고서 및 CDC 참여 기한



## ⑥ 작성 방법

- 영문 5쪽 이상으로 작성하여 제출(2015년 설계자부터 적용, 공정지원사에 제출)
- 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정시 설계자와 최종 내용에 대해 상의함.(JICAS 페이지 바로가기)
- 참가 신청시 제출한 '설계회로설명서' 내용을 바탕으로 기재해야 함.

## ⑦ 작성 양식 : 칩배포 안내시 전달됨.

## 10) 관련서류 발급 방법

### ① 참가확인서

- 설계자 개인 ID 로그인 -> MPW 참여실적 -> 참가확인서 발급 가능

### ② 방문확인서

- 설계자 개인 ID 로그인 -> MPW -> 방문확인서 발급 요청

## 11) MPW 업무 담당 및 관계자 내역

### ① MPW 진행(지정.희망 공정) : 이의숙 책임([ballhope@kaist.ac.kr](mailto:ballhope@kaist.ac.kr), 042-350-4428)

### ② MPW 설계에 필요한 기술 문의 (DB 제출 관련)

: 문의 내용은 공정별 담당자에게 e-mail로 보내주시면 회신드립니다.

공정	삼성 14nm	삼성 28nm	삼성 130nm	DB Hitek 180nm
연구원	선혜승 책임	김연태 책임	이종행 책임	조인신 책임
메일	Smkcom @kaist.ac.kr	ldeckyt @kaist.ac.kr	Jonghaeng9644 @kaist.ac.kr	Shini21@kaist.ac.kr

### ③ CDC 개최 : 이의숙 책임([ballhope@kaist.ac.kr](mailto:ballhope@kaist.ac.kr), 042-350-4428)

### ④ 참여교수 담당 : 전우숙 선임([mayj@kaist.ac.kr](mailto:mayj@kaist.ac.kr), 042-350-4425)

### ⑤ JICAS 담당 : 조일선 주임([ilsun@kaist.ac.kr](mailto:ilsun@kaist.ac.kr), 042-350-8533)

### 12) MPW 관련 물품 판매 소켓/보드 등 판매

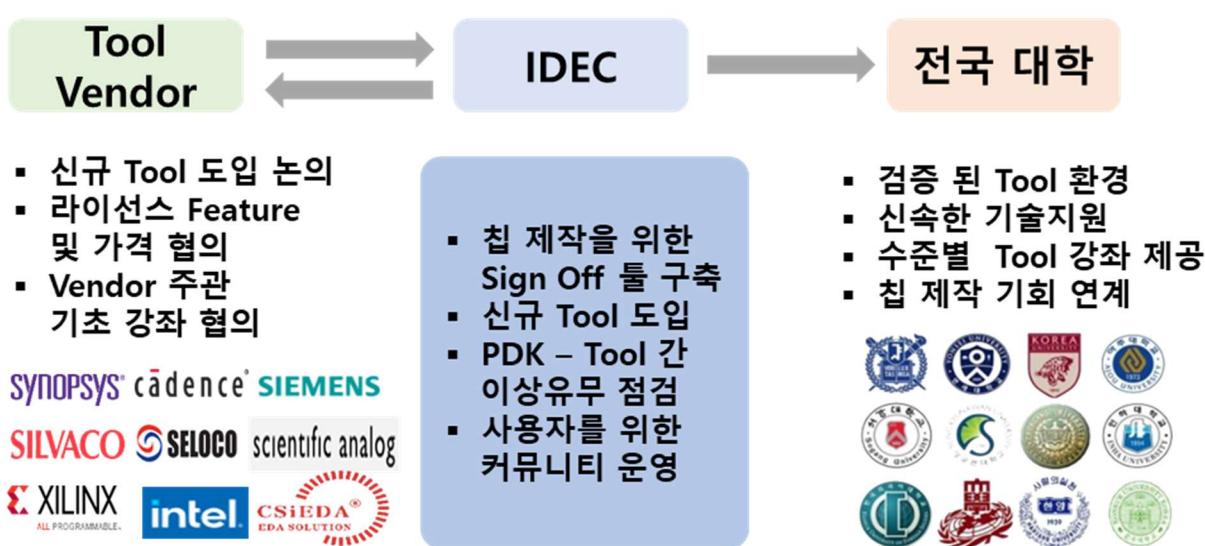
- ① 소켓 및 보드 등 MPW 관련 판매
- ② MPW 설계공모전을 통해 제작된 칩의 test를 위해 공정별 IC socket&Board 판매  
IDECK MPW를 통해 칩 제작하는 설계팀에게만 판매한다.
- ③ 판매 절차 :구매 신청서 접수 ->입금 -> 우편 발송
- ④ 물품 내역

품목	사용 가능 환경 (IDECK MPW를 통해 제작된 칩 적용)	가격(원)
<b>Soket 208pin(LQFP) (FPQ-208-0.5-10)</b>	삼성 28nm	130,000
<b>Board 208pin (LQFP/LQFP 208pin)</b>	삼성 28nm	22,000
<b>Gel-Pak</b>	IDECK MPW 설계팀 중 Bare chip 수령을 위한 케이스	13,200

★ BGA type 건은 소켓 확인 후 안내 예정.

## 1. 개요 및 지원현황

- 1) EDA(Electronic Design Automation, 전자설계자동화) Tool 이란?  
: 집적 회로부터 인쇄 회로 기판(PCBs)에 이르기까지 전자 시스템 설계 및 생산을 위한 Tool
- 2) 지원 흐름도



- 3) 지원대상 : IDEC 참여교수
- 4) 사용범위 : 대학의 학생 교육과 비상업적 연구 목적으로만 사용  
 참고) 필독! EDA Tool 사용범위 (58쪽 참고)
- 5) Tool 지원 Vendor사



## 6) EDA Tool 지원 종류 및 기능

(2025년 기준)

No	Vendor	EDA Tool	Function
1	Cadence	1) Virtuoso Schematic Editor	Schematic Capture
		2) Virtuoso Layout Suite XL	Physical Layout Design
		3) Spectre / Spectre RF	Circuit SPICE Simulation / RF Simulation
		4) AMS / APS/ Spectre X / Spectre FX	Mixed Signal Simulation
		5) MMSIM	Multi-Mode Simulation (SPICE, RF, FastSPICE, Mixed-signal Simulator)
		6) Analog Design Environment Assembler	Simulator cockpit
		7) Liberate	Standard library cell characterization
		8) Xcelium™ Simulator	Functional Logic Verification
		9) Verisium Debugger	Debugging for Functional Logic Verification
		10) Assura	Physical Verification
		11) PVS	Physical Verification
		12) Pegasus	Advanced Physical Verification
		13) Quantus Extraction	Parasitic Extraction in Physical Layout
		14) Innovus	Auto Place & Route
		15) Genus	Logic Synthesis
		16) Voltus	Electromigration, IR drop and power analysis
		17) Conformal	Formal equivalence Solution in Digital IC Design
		18) Tempus	Static Timing Analysis & Timing ECO
		19) Stratus	Synthesis(HLS) Solution in Digital IC Design
2	Synopsys	1) VCS (at F/E & B/E Bundle)	Verilog/VHDL Simulator (X-Prop, UPF-Low Power)
		2) Verdi (at F/E & B/E Bundle)	Design Debug & Analysis (Coverage, etc)
		3) VC Spyglass (at F/E & B/E Bundle)	RTL Design Static Analysis (Lint, CDS, DFT, Power)
		4) Synplify (at F/E Bundle)	Logic Synthesis for FPGA
		5) Design Compiler Pkg (at F/E Bundle)	RTL Synthesis for ASIC
		6) TestMax (at F/E Bundle)	Design For Test (DFT)

2	Synopsys	7) Formality (at F/E & B/E Bundle)	Equivalence Checking (EC)
		8) PrimeTime (at F/E & B/E Bundle)	Pre/Post Static Timing Analysis
		9) Prime Power (at F/E & B/E Bundle)	power analysis
		10) IC Compiler II (at F/E & B/E Bundle)	Auto Place and Route
		11) StarRC (at B/E Bundle)	Physical Layout Parasitic Extraction
		12) IC Validator (at B/E Bundle)	Physical Verification - DRC or LVS checking
		13) Custom Compiler (at B/E Bundle)	Custom design solution. Includes schematic &
		14) Laker (at B/E Bundle)	layout
		15) Hspice (at B/E Bundle)	Analog circuit simulator.
		16) PrimeSim (at B/E Bundle)	FastSPICE Simulator
		17) WaveView (at B/E Bundle)	Analog wave viewer and Analysis/reporting
		18) VCS AMS (at B/E Bundle)	Mixed-signal verification solution incorporating VCS functional verification and CustomSim FastSPICE co-simulation
		19) SiliconSmart (at B/E Bundle)	Library Cell (Standard,IO) Characterization
		20) TCAD Sentaurus (at TCAD Bundle)	Process & Device Simulation
		21) Saber Simulator (at Saber Bundle)	Multi-domain and mixed signal simulator
3	Siemens EDA	1) Calibre DRC, LVS	Physical Verification
		2) Calibre xRC	Parasitic Extraction of Physical Layout
		3) Calibre RET	Resolution Enhancement Techniques (RET) & OPC Solution
		4) Questa	Functional Verification
		5) HDL Designer	Design Entry Creation, Management and Verification Process Define
		6) AFS (Analog FastSpice)	Circuit SPICE Simulation
		7) SDE (Solido Design Env.)	Comprehensive Simulation Environment
		8) Custom IC S-Edit, L-Edit	Schematic & Layout Editor
		9) Tesson	Design for Test (DFT)
		10) Aprisa	Place and Route for Complex SoC Design
		11) Xpedition Enterprise	Circuit and PCB Design
		12) HyperLynx	PCB/Package Board Simulation
		13) 3D IC Packaging	2.5D/3D IC Floorplanning 및 Implementation
4	Intel (Altera)	1) Quartus Prime	Integrated Design Tool for Intel Devices (FPGA, SoC FPGA, CPLD)

5	Scientific Analog	1) XMODEL	Event-Driven Simulation with Functional Model
		2) GLISTER	Circuits Model Building in Schematics
		3) MODELZEN	Automatic generation of analog models from Circuits
6	(주)마이캐 드테크	1) MyCAD - MyChip Station Pro	Full Custom Layout & Verification
7	Silvaco	1) SmartSpice	Circuit SPICE Simulation
		2) Expert	Layout Editor
		3) Gateway	Schematic Editor
		4) SmartView	Waveform Viewer and Simulation Analysis Environment
		5) SmartDRC/LVS with SmartRDE	Smart Physical Verification
		6) Hipex	Full-Chip Parasitic Extraction
8	AMD (Xilinx)	1) Vivado Design Suite HLx Edition	FPGA Design & Simulation Toolchain
9	CSiTEK	1) CSiEDA5	Circuit and PCB Design

## 2. 지원방식

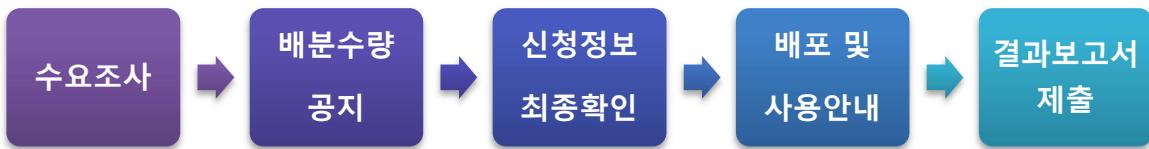
\* 2026년 IDEC 예산이 대폭 삭감되어 연구용 Tool 지원이 유료화될 수 있습니다. 예산 확정 후 공지드리겠습니다.

- 1) 정규 라이선스 : 연구실 서버정보로 지원되는 1년 라이선스
  - 정기 EDA Tool 수요조사시 신청된 Tool을 연간 지원
- 2) 단기 라이선스 : IDEC 본센터 보유 라이선스를 Network으로 단기간 지원
  - 정규 라이선스 미신청 연구실 또는 라이선스 추가 필요 연구실에 단기간 Tool 지원
  - 대학의 학부생 대상 정규 수업에 해당 학기 동안 Tool을 지원

## 3. 정규 연구용 라이선스 사용

- 1) Tool 신청 연구실의 서버정보(MAC address)로 사용기간 1년 라이선스가 발행되며, 매년 3~4월에 지원 Tool에 대해 수요조사 진행 후 지원됨
  - \* 시놉시스만 연구실별로 발행되며 그외 Tool은 IDEC 중앙서버를 통해 IP 승인방식으로 운영됨

## 2) 지원절차



3) 수요조사 시기 : 매년 3~4월, 약 2주간 진행

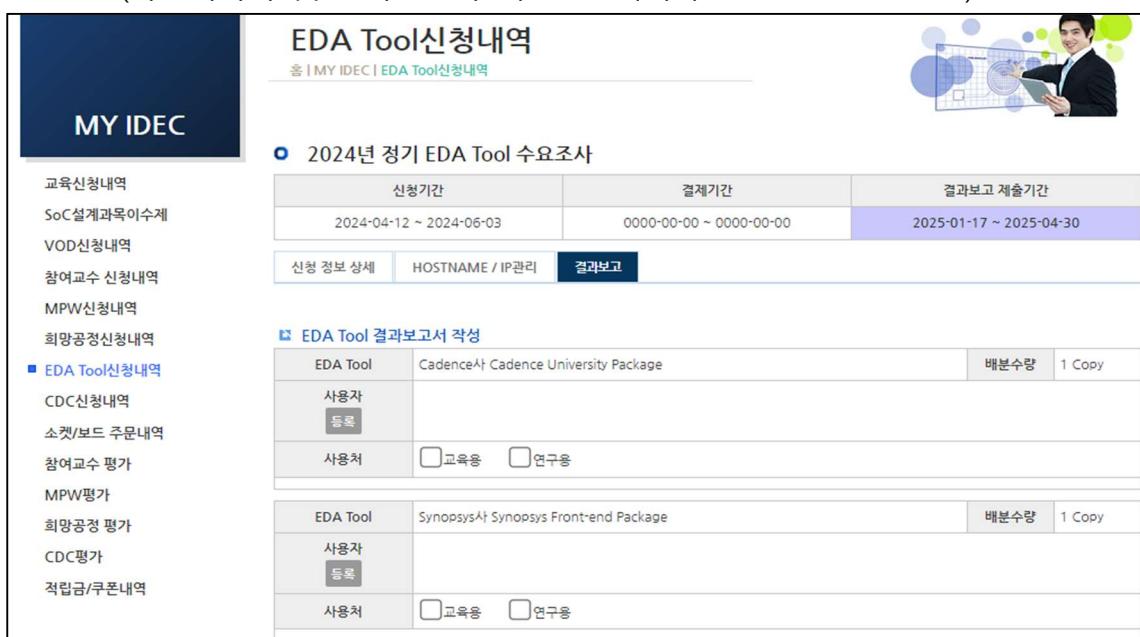
4) 신청방식 : 참여교수별로 IDECA 웹페이지에서 신청

① 신청경로 : IDECA 홈페이지 > EDA Tool > EDA Tool 신청 > 정기 EDA Tool 수요조사



② 신청시 제출서류

- 사용계획서 : Tool 신청시 각 신청 Tool별로 웹페이지에서 작성
- 결과보고서 : 전년도 지원된 Tool에 대하여 웹페이지에서 작성  
(사용계획서 및 결과보고서 제출완료되어야 Tool 신청 완료 됨)



## ③ (중요 !!) 신청시 유의사항

- **(Synopsys/ Silvaco 사인 경우) MAC address 기입**
  - 라이선스 설치 머신의 O/S(Linux) MAC address(12자리)를 입력  
(예 : 0012345678ab)
  - MAC address 확인 방법 : '/sbin/ifconfig' 명령으로 확인
  - 라이선스는 재발행 되지 않으니(서버 고장난 경우 포함), 신청정보 기입시 MAC address를 재차 확인해주시기 바랍니다.
  - VMWare가상 머신 사용시 : Windows가 설치된 컴퓨터에 VMWare 가상 머신을 통해 Linux를 사용하는 연구실에서는 라이선스 신청시 Linux의 MAC address가 아니라 Windows의 MAC address를 기입하시기 바랍니다.
- **(Cadence/Siemens EDA/Scientific Analog/Seloco/CSiTEK/Primarius 사인 경우) IP/Hostname 등록**

☞ HOSTNAME 및 IP 관리는 모든 EDA Tool신청에서 공통으로 적용 됩니다.

☞ HOSTNAME 및 IP는 다른 연구실과 중복해서 등록할 수 없습니다.  
(중복 시 나중에 등록한 사람이 수정해야 함)

☞ **localhost, localdomain 이 포함된 HOSTNAME과 가상 IP는 사용할 수 없습니다.**  
\* 가상 IP 예시 : 10.0.0.0 – 10.255.255.255, 172.16.0.0 – 172.31.255.255,  
192.168.0.0 – 192.168.255.255.

☞ EDA Tool이 설치 되어있는 워크 스테이션에서 <http://www.idec.or.kr/info>에 접속하면 IP를 확인 할 수 있습니다.

☞ Hostname/IP 내용을 수정하거나 등록할 경우 적용되는 시간은 매일 0시, 6시, 12시, 18시 입니다.

- 연구실 Hostname 등록/수정 버튼 클릭 후 입력 → 상시 추가/ 변경 가능
- (Intel/Xilinx 사인 경우) 각 벤더사 홈페이지에서 직접 신청
- Synopsys사와 Cadence 사는 라이선스 신청 시 Letter of Consent 서류에 교수님 서명 후 제출 필요 (담당자가 안내 예정)
- EDA Tool 신청 시 참여교수님, EDA Tool 담당자 (정/부) 이메일 주소는 반드시 학교 계정이어야 함(naver, google 등 이메일 계정으로 라이선스 신청 불가)

## 5) 배분수량 공지

- ① 신청수량 < 배분수량 : 신청수량만큼 배분
- ② 신청수량 > 배분수량 : 전년도 참여교수별 실적에 따라 EDA Tool 차등지원  
(신규 참여 교수인 경우 수요가 많은 일부 툴에 대해 공급이 제한될 수 있음)
- ③ 배분수량 확인 경로

- IDECA 홈페이지 → MYIDECA → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 화면을 통해 Tool별로 배분수량 확인

신청		Cadence 사 Cadence University Package (가격 : 0 원)						
배포예정일	2025-07-01	사용기간	2025-07-01 ~ 2026-06-30		총 신청수량	1 <input type="checkbox"/> Copy 1 <input type="checkbox"/> Copy		
서버정보	<input checked="" type="radio"/> 연구실 HOSTNAME 사용							
비고								

- 신청정보 최종확인
  - 라이선스 오류시 재발행이 불가하므로, 라이선스 발급 전 신청정보(신청 Tool, 수량, MAC address) 재확인 작업 진행
- 신청정보 최종확인 경로
  - IDECA 홈페이지 → MYIDECA → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 → 신청정보 최종확인

**마이페이지**

회원수정  
비밀번호변경  
IDECA 참여내역  
교육신청내역  
SoC설계과목이수체  
VOD신청내역  
참여교수신청내역  
MPW신청내역

EDATool신청내역  
CDC신청내역  
적립금내역  
참여교수평가  
MPW평가  
CDC평가  
주문/배송 내역확인

**IDECA 참여내역**  
홈 : 마이페이지 | IDECA 참여내역 | EDATool신청내역

“한국 반도체산업의 경쟁력”  
IDECA에서 설계인력양성의 발판을 마련하겠습니다.



**● 라이선스 신청정보 최종확인**

- 라이선스 신청정보 최종확인 기간 : 2018-05-02 ~ 2018-05-04
- EDA Tool 수요조사시 기명했던 여러 라이선스 신청 정보로 라이선스가 발급되며, 배포된 라이선스는 재발행 되지 않습니다.
- 가장 안정적인 마신으로 라이선스 신청해주시고, EDA Tool 신청시 기안하신 NIC number or hostID 이상여부를 재차 확인해주시기 바랍니다.
- 아래 라이선스 신청 정보에 수령여 필요할 경우 EDA Tool 담당자에게 연락 주시기 바랍니다.
- EDA Tool 담당자 : 션준주 (eunjuseok@ideca.or.kr, 042-350-8538)

**■ 라이선스 신청정보**

** 2018년 경기 EDA Tool 수요조사 **					
EDA Tool명	배분수량	서버별 배분수량	OS	NIC Number / HOST ID	최종확인
Cadence University Package	1	1	리눅스	123456789012	<input type="checkbox"/>
Mentor University package	1	1	리눅스	123456789012	<input type="checkbox"/>
Synopsys Back-end Package	1	1	리눅스	123456789012	<input type="checkbox"/>
Synopsys Front-end Package	1	1	리눅스	123456789012	<input type="checkbox"/>

(1) 내용 확인 후 툴별 최종확인 클릭
(2) 클릭
(3) 위 내용 재차 확인 후 클릭

위 내용에 동의합니다. 최종확인 무료가기

44

**IDECA** 반도체설계교육센터

### 6) 배포 및 사용안내

- ① Tool별 사용기간 및 배포시기 : 매년 06.30 전후로 배포, 1년(07.01-06.30) 사용
- ② 위 배포일정의 Tool 사용 시작일 1~3일 전에 라이선스 배포되며, 배포시 Tool 신청 연구실에 이메일 및 IDEC 홈페이지를 통해 배포 공지됨
- ③ Tool 및 라이선스 다운로드 경로
  - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 → 신청내역 페이지 상단에서 S/W 다운로드 정보 확인 및 라이선스 파일 다운로드

신청 정보상세	HOSTNAME / IP 관리	결과보고	
<p>▣ 라이선스 파일 다운로드</p> <ul style="list-style-type: none"> <li>■ [Yellow Box]_Synopsys_Key_Silvaco-[Yellow Box].txt</li> </ul> <p>▣ EDA Tool S/W 다운로드 방법</p> <ul style="list-style-type: none"> <li>■ FTP 접속 프로그램을 이용하여 EDA Tool S/W 다운로드 받으시기 바랍니다.</li> <li>■ Synopsys사 tool의 경우, Solvnet을 통해서 최신 버전 직접 다운로드 가능</li> <li>■ 다운로드 경로 : <a href="http://solvnet.synopsys.co">http://solvnet.synopsys.co</a> [Yellow Box] (Solvnet 계정은 대학별 2개 연구실에서 관리)</li> </ul>			
FTP접속 IP	접속 Port	ID	Password

- \* Synopsys 라이선스 파일 다운로드 방법은 추후 재공지 예정
- \* Silvaco는 벤더사가 직접 연구실 EDA Tool 담당자에게 라이선스 파일을 메일로 전달
- \* Intel/ AMD는 벤더사 홈페이지에서 다운로드
- \* 그외 벤더사는 IDEC 라이선스 서버를 통해 지원

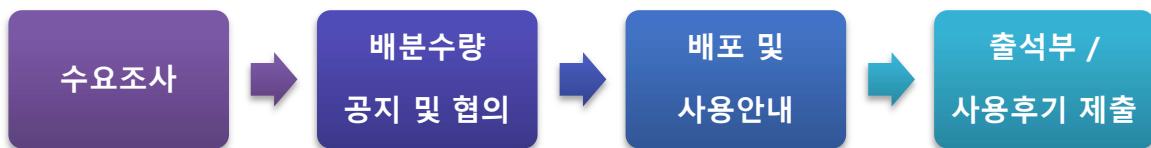
### 4. 정규 수업용(교육용) 라이선스 사용

\* 2026년 IDEC 예산이 대폭砍감되어 수업용 Tool 지원이 중단될 수 있습니다. 예산 확정 후 공지드리겠습니다.

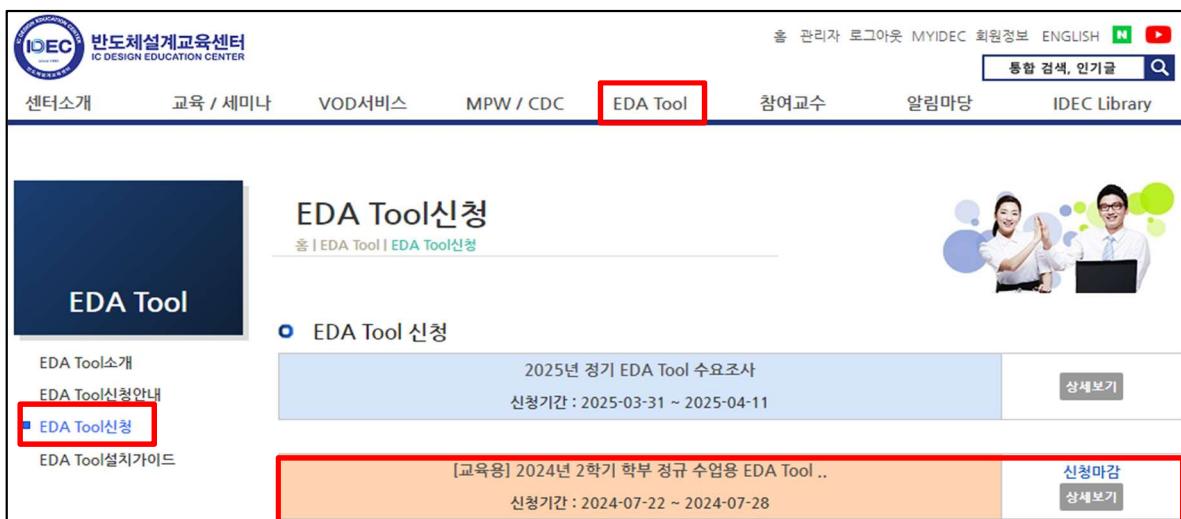
- 1) 학부생 정규 수업 시 Tool 실습을 위한 라이선스를 학기별로 지원
- 2) 지원 Tool (벤더사별 지원 Tool 종류가 연구용과 상이, 확인 필요)

Vendor	EDA Tool
Cadence	Univ. Program (Virtuoso, Spectre)
Synopsys	Front-end Bundle / Back-end Bundle / TCAD
Siemens	Univ. Program (Calibre, Questa & Tessent)
Scientific Analog	XMODEL, GLISTER, MODELZEN

### 3) 지원절차



- 4) 수요조사 시기 : (1학기) 매년 1~2월, (2학기) 매년 7~8월 약 1주간 진행
- 5) 신청방식 : 참여교수별로 IDEC 웹페이지에서 신청
  - ① 신청경로 : IDEC 홈페이지 > EDA Tool > EDA Tool 신청 > 학부생 정규수업용 EDA Tool 수요조사



### ② 신청시 제출서류

- **EDA Tool 신청서** : 양식 다운로드 후 작성하여 Tool 신청시 업로드  
(수업 정보, 필요 Tool 및 수량, 사용 요일, 강의 시 활용계획)
- 결과보고서 : 전년도 지원된 Tool에 대하여 작성  
(Tool 사용후기 파일 업로드 및 사용자 등록 2가지 모두 제출)
- EDA Tool 신청서 및 전년도 결과보고서 제출완료되어야 Tool 신청 완료 됨

### ③ 신청시 유의사항

- 모든 교육용 EDA Tool 라이선스는 IDEC 라이선스 서버를 통해 지원
- IP/Hostname 등록 → 상시 추가/ 변경 가능

- ☞ HOSTNAME 및 IP 관리는 모든 EDA Tool신청에서 공통으로 적용 됩니다.
- ☞ HOSTNAME 및 IP는 다른 연구실과 중복해서 등록할 수 없습니다.  
(중복 시 나중에 등록한 사람이 수정해야 함)
- ☞ **localhost, localdomain 이 포함된 HOSTNAME과 가상 IP는 사용할 수 없습니다.**
  - \* 가상 IP 예시 : 10.0.0.0 – 10.255.255.255, 172.16.0.0 – 172.31.255.255, 192.168.0.0 – 192.168.255.255.
- ☞ EDA Tool이 설치 되어있는 워크 스테이션에서 <http://www.idec.or.kr/info>에 접속하면 IP를 확인 할 수 있습니다.
- ☞ Hostname/IP 내용을 수정하거나 등록할 경우 적용되는 시간은 매일 0시, 6시, 12시, 18시 입니다.

- EDA Tool 신청 시 참여교수님, EDA Tool 담당자 (정/부) 이메일 주소는 반드시 학교 계정이어야 함(naver, google 등 이메일 계정으로 라이선스 신청 불가)

### 6) 배분수량 공지

- ① 신청수량 < 배분수량 : 신청수량만큼 배분
- ② 신청수량 > 배분수량 : 전년도 결과보고서 및 학교별 신청 규모 등 고려하여 배분
- ③ 배분수량 확인 경로
  - IDECA 홈페이지 → MYIDECA → EDA Tool 신청내역 → 정규 수업용 EDA Tool 수요조사 화면을 통해 Tool별로 배분수량 확인

### 7) 배포 및 사용안내

- ① Tool별 사용기간 및 배포시기

항목	1학기	2학기
사용 기간	2월 4주차 ~ 6월말	8월 4주차 ~ 12월말
사용 요일	<ul style="list-style-type: none"> <li>- 평일(월~금)</li> <li>☞ 2일 선택</li> <li>☞ 단, 사유서 및 증빙자료 제출 시 내부 검토 후 3일까지 지원 가능</li> </ul> <ul style="list-style-type: none"> <li>- 주말(토, 일)</li> <li>☞ 제한 없이 이용 가능</li> <li>☞ 별도 신청 없이 관리자가 일괄 등록</li> </ul>	

- ② 위 사용기간 1~3일 전에 라이선스 배포되며, 배포시 Tool 신청 연구실에 이메일 및 IDECA 홈페이지를 통해 배포 공지됨 (Tool 다운로드 및 라이선스 접속경로 포함)

### 8) 출석부 제출 및 결과 보고서 작성

- ① 수업 활용 증빙 자료 제출 (학기 초 수강 명단 확정 시 담당자에게 메일 송부)
  - **출석부**: 확정된 수강생 명단

- **강좌 개설 증빙:** 학교 공식 홈페이지 또는 학사 시스템 캡처본
  - \* 필수 포함 정보: 학교명, 개설 학기, 강의명, 담당 교수, 수강 인원, 강의 시간(요일)
  - \* 제출된 자료를 통해 실제 수업 활용 여부를 확인하며, 필요 시 라이선스 수량 조정을 검토할 수 있습니다.

## ② 결과 보고서 작성

- IDEC 홈페이지 > MYIDEC > EDA Tool 신청 내역 > 2026년 1학기 학부 정규 수업용 EDA Tool 수요조사 > 세번째 탭 "결과보고"
- 사용 후기 파일 업로드
  1. 정규 수업용 EDA Tool 사용 후기 작성하여 등록
  2. 자유양식으로 제한 없으나 아래 항목은 반드시 포함
    - \* 필수항목 : 교과개요, 벤더사별 EDA Tool 활용내용, 실습사진, 학생 수업 소감
    - \* 참고용 샘플양식 첨부하였으나 관계없이 자유양식으로 제출 가능
- EDA Tool 사용자 등록
  - **해당 Tool 사용자 대상, IDEC 홈페이지에 교수님과 동일한 소속대학으로 회원가입 안내**
  - "결과보고" 탭에서 사용자 등록 클릭 후 학교명, 학생성명으로 검색가능

### EDA Tool신청내역

홈 | MY IDEC | EDA Tool신청내역



**▣ 2025년 1학기 학부 정규 수업용 EDA Tool 수요조사**

신청기간	결제기간	결과보고 제출기간
2025-02-03 ~ 2025-02-09	-	-

신청 정보 상세
HOSTNAME / IP관리
결과보고

**▣ EDA Tool 결과보고서 작성**

EDA Tool 사용후기
EDA Tool 사용후기(양식 다운로드)

파일 선택
선택된 파일 없음

EDA Tool	Synopsys† Synopsys Front-end Package	배분수량	30 Copy
사용자 등록			
사용처	<input checked="" type="checkbox"/> 교육용 <input type="checkbox"/> 연구용		
교과과정명		교육대상	
교육기간		수강생수	
교과과정설명			

목록으로
제출

**IDECK** 반도체설계교육센터

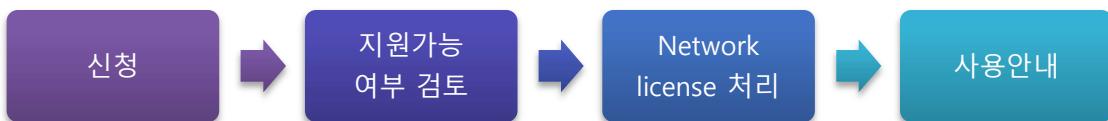
48

## 5. Network License 사용

- 1) IDEC 본센터 라이선스를 Network으로 단기간 지원
- 2) 신청 방법
  - IDEC 홈페이지를 통해 매주 금요일 오전 11시까지 신청  
→ 금요일 오후 3시 일괄 승인 → 금요일 오후 6시부터 라이선스 사용 가능
  - 신청 경로 : <http://www.idec.or.kr> > EDA Tool > EDA Tool 신청 > Network license 신청
  - **신청 가능 Tool이 제한적이므로 신청 전 이메일로 확인 후 신청**
  - 연구실 Hostname 등록/수정 버튼 클릭 후 IP 등록이 제대로 되어 있는지 확인  
**(타연구실과 중복된 IP/ 가상 IP/ "local" 이 들어간 Hostname은 등록 불가)**
  - 사용목적에 관련 연구제목 및 기간, 수업명 및 내용, 수업기간 등 자세히 기입

Tool 담당자	이름 전화번호	email 휴대폰번호	반드시 학교 이메일을 입력하세요						
연구실 HOSTNAME / IP		<b>연구실 HOSTNAME 등록 / 수정</b>							
<input checked="" type="checkbox"/> 신청 Cadence 사 Cadence University Package (가격 : 0 원) 사용기간(1개월 단위) : <input type="text"/> ~ <input type="text"/> 총 신청수량 : <input type="text"/> Copy 서버정보 : <input checked="" type="radio"/> 연구실 HOSTNAME 사용 사용목적 : <input type="text"/>									
<b>Feature</b> <table border="1"> <tr> <th>Feature</th> <th>기능</th> <th>신청수량</th> </tr> <tr> <td>GENUS</td> <td>(구, Encounter RTL Compiler)/Logic Synthesis</td> <td>0 Copy</td> </tr> </table>				Feature	기능	신청수량	GENUS	(구, Encounter RTL Compiler)/Logic Synthesis	0 Copy
Feature	기능	신청수량							
GENUS	(구, Encounter RTL Compiler)/Logic Synthesis	0 Copy							

- 3) 지원 절차



- 4) 사용 안내 : Network license 처리 후 사용안내 메일 발송

사용 안내 메일 예시)
<b>* Cadence</b> <ol style="list-style-type: none"> <li>1. Linux 용 Tool 사용 경우           <ol style="list-style-type: none"> <li>1) C-shell 사용 시 설정 방법               <p>Tool 환경 설정 파일에 추가하여 사용하세요. (라이선스 파일 및 데몬 구동 필요없음)</p> <pre>setenv LM_LICENSE_FILE 00000@license_server_IP</pre> </li> <li>2) Bash-shell 사용 시 설정 방법               <p>Tool 환경 설정 파일에 추가하여 사용하세요. (라이선스 파일 및 데몬 구동 필요없음)</p> <pre>export LM_LICENSE_FILE 00000@license_server_IP</pre> </li> </ol> </li> </ol>

## 6. EDA Tool 지원 서비스

### 1) EDA Tool 소개자료 제공

- IDECA에서 제공하는 Tool을 보다 쉽게 이해할 수 있도록 Tool별 세부 기능과 활용법, MPW Flow 적용 가능 여부 등을 파악할 수 있는 자료로 IDECA 홈페이지를 통해 PDF로 제공

No.	Vendor	EDA Tool	Function
1	VCS (at F/E & B/E Bundle)	Verilog/VHDL Simulator (X-Prop, URF-Low Power)	
2	Vivado (at F/E & B/E Bundle)	Design, Debug & Analysis (Coverage, etc.)	
3	Synopsys (at F/E & B/E Bundle)	RTL, Design Static Analysis (Lut, COS, DFT, Power)	
4	Synopsys Premier (at F/E & B/E Bundle)	Logic Synthesis for FPGA	
5	Design Compiler Family (at F/E & B/E Bundle)	RTL, Synthesis for ASIC	
6	IC Compiler (at F/E & B/E Bundle)	Design for Manufacturability (DFM)	
7	Formality (at B/E)	Formality Checking (SC)	
8	PrimeTime (at F/E & B/E Bundle)	Pre/Post Static Timing Analysis	
9	Prime Power (at F/E & B/E Bundle)	Power Analysis	
10	IC Compiler (at B/E Bundle)	Physical Layout Parasitic Extraction	
11	StarRC (at B/E Bundle)	Auto Place and Route	
12	IC Validator (Horus) (at B/E Bundle)	Physical Verification DRC or LVS Checking	
13	Custom Compiler (at B/E Bundle)	Custom Design Solution, Includes Schematic & Layout	
14	Laker (at B/E Bundle)	IC Layout (Physical Design)	
15	PrimeSim (at B/E Bundle)	Frequency Sweep (LVS & B/E Bundle)	
16	FreddieSim (at B/E Bundle)	Analog Circuit Simulator	
17	CustomWave (at B/E Bundle)	FastSPICE Simulator	
18	CustomWaveView (at B/E Bundle)	Analog Wave Viewer and Analysis/Reporting	
19	VCS AMS (at B/E Bundle)	Multi-Signal Validation Solution Incorporating VCS Processor, PrimePower, PrimeSim, and CustomSim	
20	SiliconSmart (at B/E Bundle)	Library Cell (Standard Cell) Characterization	
21	TCAD Sentaurus (at TCAD Bundle)	Process & Device Simulation	
22	Virtualizer	Design Space Exploration & Validation and D/S/W Development	
23	Saber Simulator (at Saber Bundle)	Multi-domain and Mixed Signal Simulator	
24	MMSIM	Multi-Signal Simulator (SPICE, RF, FastSPICE)	
25	Xodus	Standard Cell Simulation	
26	SpiceNet / SpiceNetRF	Circuit SPICE Simulation	
27	VirtusLayout Suite	Physical Layout Design	

### 2) EDA Tool 설치가이드 제공

- IDECA에서 제공하는 Tool 중 주로 사용되는 Tool에 대해 설치가이드 문서 제공

Vendor명	EDA Tool명	설치문서	비고
CADENCE	IC61	<a href="#">PDF</a>	Schematic & Layout
CADENCE	SPECTRE	<a href="#">PDF</a>	Simulation
CADENCE	ASSURA	<a href="#">PDF</a>	DRC, LVS
CADENCE	PVS	<a href="#">PDF</a>	DRC, LVS

### 3) System Requirement 및 OS 설치가이드

- 각 Tool에 대한 System Requirement 및 설치가이드 문서로 제공

## 4) EDA Tool 통합 설치 환경 제공

- 신규 연구실 또는 EDA Tool 설치에 어려움이 있는 연구실을 위한 통합 설치 환경 제공.
- 리눅스 버전과 참여 공정에 맞는 Tool 버전을 자동으로 설치한 후 바탕화면의 아이콘 실행만으로 쉽게 Tool 실행



## 5) EDA Tool 기술지원

- IDECA를 통한 실시간 기술지원
  - IDECA 홈페이지 → IDECA Library → 질문/답변 게시판에서 문의글 작성

제목	작성자	작성일	조회
공지 SS28 & SF28 자주 하는 질문	김연태	23.05.15	3439
공지 각종 라이센스 관련 문의를 올리기 전에 필독 하시기 바랍니다	선헤승	16.05.11	4755
공지 EDA Tool 관련 질문은 전부 공개로 전환 하자 합니다.	관리자	14.10.13	2272
26384 level shifter BIASNW 연결을 위한 방법 <a href="#">new</a>	박하늘	25.01.17	2
26383 SF28 메모리 GDS, CDL 요청드립니다. <a href="#">new</a>	윤성웅	25.01.17	4
26382 [답변] SF28 메모리 GDS, CDL 요청드립니다. <a href="#">new</a>	윤성웅	25.01.17	0
26381 SF-2402 ESD 문의 <a href="#">new</a>	김재관	25.01.17	6
26380 [SF28-2402] PAD to RING PG Connection 문제	이동훈	25.01.16	5
26379 ADE Explorer Error 문의드립니다.	박도원	25.01.16	5
26378 [답변] ADE Explorer Error 문의드립니다. <a href="#">new</a>	조인신	25.01.17	1
26377 [MPW] SS28-2401 Die Chip 두개 관련 문의	이구현	25.01.16	10
26376 [답변] [MPW] SS28-2401 Die Chip 두개 관련 문의 <a href="#">new</a>	조인신	25.01.17	7
26375 FDSOI DRC 에러 질문	김영식	25.01.16	3
26374 [답변] FDSOI DRC 에러 질문	조인신	25.01.16	16

### 참고) 필독! EDA Tool 사용범위

#### < EDA Tool 사용 범위 >

IDECA에서는 참여대학에 배포하는 EDA Tool의 사용범위를 아래와 같이 엄격히 제한하고 있습니다.

아래 EDA Tool 사용 범주를 위반하여 툴이 사용된 사례가 발생할 경우 인재양성을 위한 교육과 비상업적 연구를 목적으로 충실히 툴을 사용하고 계시는 대다수의 교수님께 피해가 갈 수 있으며, 또한 IDECA EDA Tool 공급 사업의 근간이 흔들릴 수 있습니다.

참여교수님께서는 아래 내용을 숙지하시어 향후 불미스러운 일이 생기지 않도록 각별한 주의를 부탁드립니다.

----- 아래 -----

1. IDECA를 통해 제공되는 EDA Tool은 참여교수 및 지도학생에 한하여 참여대학 내에서 학생교육과 비상업적 연구의 목적으로만 사용되어야 하며 상업적인 제품개발, 생산 등 영리를 목적으로 사용되어서는 안됩니다.

즉, IDECA Tool은 참여교수 및 학생의 신분을 가진 사람만이 사용할 수 있으며, 어떠한 경우에도 회사의 제품이 될 목적으로 설계되는 칩의 설계에는 사용할 수 없습니다. 또한 학내 벤처업체 사용, 학교 외부 Networking 연결, 외부 업체 담당자 방문 사용 등이 절대 불가합니다.

이는 IDECA에서 제공하는 EDA Tool의 사용범주에 벗어나는 것이며 위 사항을 준수하지 않을 경우, 참여교수 수행 지침 동의서 제 4 조에 의거하여 IDECA 과의 협약은 해약 될 수 있습니다.

2. 산학 공동 Project 및 기타 영리 목적의 상업적 연구에 툴이 사용되는 경우에는 EDA Tool Vendor 와 별도로 계약을 체결하여 진행해야 합니다.

#### < 참고 >

##### \* 참여교수 수행 지침 동의서\*

제 4 조(자원의 사용 및 관리)

(1) IDECA가 참여교수에게 제공하는 자원은 제 1 조의 "참여교수 지원 신청서"상의 참여교수와 지도학생으로 등록된 자에 한하여 사용할 수 있다.

(2) IDECA가 참여교수에게 제공하는 자원은 교육 및 비상업적인 연구 외 다른 목적을 위해서는 사용할 수 없다.

(3) 참여교수는 IDECA으로부터 제공받은 자원이 외부 유출 및 파손되지 않도록 책임자로 관리한다.

## 1. CDC 소개

- 1) CDC 정의: IDEC을 통해 참여 제작한 칩 결과에 대해 발표 전시를 진행하고 우수팀을 선별하여 수상하는 행사
- 2) CDC 종류: 한국반도체학술대회, IDEC Congress, ISOCC
- 3) 참여 대상
  - ① 주요 대상: IDEC MPW 참여팀 (각 CDC 논문 마감일로부터 2개월 전까지 칩 제작이 완료된 팀)
  - ② 그 외: FPGA 및 기타 설계팀 중 참여 희망팀(평가 및 수상 대상에서 제외될 수 있음)
- 4) 참여 시기: MPW 결과보고서 제출 마감일로부터 1년 이내 (1년 이내의 기준은 각 행사의 논문 마감일로 함)
- 5) [참고] CDC별 내역

구분	KCS (한국반도체학술대회) CDC	IDEC Congress CDC	ISOCC (International SoC Design Conference) CDC
주관	산·학·연 공동 주관	IDEC	반도체공학회
개최일	매년 2월 초	매년 6월~7월초	매년 10월 말~11월 초
개최장소	매년 변경됨 (2025년: 하이원리조트(정선))	매년 변경됨 (2024년 : KAIST 본원)	매년 변경됨 (2024년 : 삿포로(일본))
모집분야	ASIC (FPGA 포함)		
논문마감	11월 말~12월 초	4월 말~5월 초	7월 말~8월 초
논문분량	1page		
논문양식	KCS 초록양식	IDEC 별도 지정 양식	
논문 인정여부	논문으로 인정됨	논문으로 인정되지 않음	
타학회 참여가능 여부	불가능	가능	
논문외 참여방법	참여 불가능		
등록비	130,000원 (2024년 기준)	무료	260,000원 (2024년 기준)
전시내용	포스터 및 발표 영상 제출		
홈페이지	<a href="http://kcs.cosar.or.kr">http://kcs.cosar.or.kr</a>	<a href="http://congress.idec.or.kr">http://congress.idec.or.kr</a>	<a href="http://www.isooc.org">http://www.isooc.org</a>

## 2. CDC 참여 절차

### 1) CDC 일정 확인

- ① IDEC 공식 홈페이지, 페이스북, 블로그 등에 사전 공지 확인
  - IDEC 홈페이지에서 일정 확인하는 방법



The screenshot shows the IDEC website's navigation bar with links for 센터소개, 교육 / 세미나, VOD서비스, MPW / CDC (highlighted with a red box), EDA Tool, 참여교수, 알림마당, and IDEC Library. The main content area displays the 'MPW / CDC' section, which includes a sidebar with links for MPW참여안내, MPW신청, 희망공정신청, CDC소개, and a highlighted '■ CDC신청' button. The main content area shows tables for the '제31회 한국반도체학술대회 CDC(S분과)' and '제30회 한국반도체학술대회 CDC', both detailing submission and review dates. A sidebar on the right provides links for '준비중' and '상세보기'.

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭  
(반드시 지도교수 계정으로 로그인)
- CDC 소개 : 전반적인 CDC 일정을 개략적으로 확인 가능
- CDC 신청 - 상세보기 클릭

- 해당 CDC에 대한 상세한 일정 확인 가능

- ② 참여팀 대상 전체 발송 안내 메일 확인

※ 담당자 (이의숙 책임: 042-350-4428, ballhope@kaist.ac.kr)

2) 참여 가능 CDC 확인

MPW 신청내역							
회차	공정		모집구분	신청일자	채택여부	공정상태	
SS28-2202회	삼성전자 28nm		정규모집	2022.05.16	채택	DB 접수 : ~01.16(월) 09시	
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
SS28-2201회	제출					결제금액없음	Package 제작 : 02월말 예정
	삼성전자 28nm		정규모집	2022.03.28	채택		
SS28-2201회	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	Package 제작 : 02월말 예정
	제출		2022-12-26			완납	
SS28-2102회	삼성전자 28nm		정규모집	2022.03.28	채택	제작 완료	
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
	제출		2022-12-26			미납	
SS28-2102회	제출					완납	제작 완료

① IDEC 홈페이지 - 로그인 - 마이페이지 - MPW 신청내역에서 확인

(반드시 지도교수 계정으로 로그인)

- 참여의 경우 "참여"로 표시, 미참여의 경우 "."로 표시
- 해당 CDC를 클릭하면 기한 내 참여해야 하는 3개의 CDC 확인 가능

## 3) CDC 논문 작성

- ① 논문 작성 요령 및 양식 확인하는 방법 : 참여 대상자에서 별도 공지
- ② 관련 양식 : IDEC 홈페이지 – CDC

**MPW / CDC**

MPW참여안내

MPW신청

회원공정신청

■ **CDC소개**

CDC신청

CDC영상

IP Library

Soket/Board

Package업체정보

테스트보드업체정보

**CDC소개**

홈 | MPW / CDC | **CDC소개**

Chip Design Contest(CDC)

- Chip Design Contest(CDC)는 MPW 및 각 대학의 SoC 관련 칩 제작 결과물을 전시하는 행사입니다. 본 행사를 통해 반도체 및 지능형 설계 분야의 전문 지식과 최신 기술을 공유하고 있으며, 나아가 연구 의욕 고취를 통해 국내 반도체 설계 분야의 경쟁력 향상을 목표하고 있습니다.

연 3회 개최

- 한국반도체학술대회(KCS) Chip Design Contest
- IDECK Congress Chip Design Contest
- International SoC Design Conference(ISOCC) Chip Design Contest

구분	한국반도체학술대회(KCS) CDC	IDECK Congress CDC	International SoC Design Conference(ISOCC) CDC
주관	산학연 공동주관	IDECK 주관	국제시스템온칩설계학회(ISOCC)
개최시기	1 ~ 2월	6 ~ 7월	10 ~ 11월
개최장소	대해 변경	본원	대해 변경
참여인원제한	70명	70명	70명
모집분야	ASIC (FPGA) 포함		
논문마감	10 ~ 11월 중	4 ~ 5월 중	7 ~ 8월 중
논문제출	○		X
논문양식	KCS 양식	포스터	
포스터제출	○		
포스터양식	KCS 양식	IDECK 양식	
논문인정여부	○	X	
발표영상제출	학회 사정에 따라 변동	○	학회 사정에 따라 변동
등록비	70,000원	무료	231,000원
한국반도체학술대회와 ISOCC의 경우 MPW 참여자에 한해 등록비의 50%를 IDECK에서 지원 (최대 10만원, 회장자 만한 비용 포함)			
전시형태	Oral / Poster	Poster	
홈페이지	<a href="http://kcs.cosar.or.kr">http://kcs.cosar.or.kr</a>	<a href="http://congress.idec.or.kr">http://congress.idec.or.kr</a>	<a href="http://www.isooc.org">http://www.isooc.org</a>
제출양식	포스터 작성 양식(CDC 공통양식) 발표 영상 제출 가이드 (CDC 공통양식) KCS 초록 작성 샘플 (KCS에 한함)		

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭  
(반드시 지도교수 계정으로 로그인)
  - CDC 신청 - 해당 CDC의 상세보기 클릭
  - 스크롤을 내리면 논문 작성 및 제출 방법 확인 가능
  - 논문 양식 : 바로가기 클릭을 통해 다운로드 가능
- ※ 논문 작성 및 제출 방법 외 나머지 내용도 상세히 필독!!!

### 4) CDC 논문 제출

- ① 한국반도체학술대회 : 학회 홈페이지를 통해 진행  
(<http://kcs.cosar.or.kr>, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 진행
  - CDC 참여 신청서 작성
    - MPW 참여 구분 : 해당 참여구분을 선택  
(IDECK MPW 참여팀의 경우 IDEC MPW design team 선택. 지도교수님 계정 이외의 계정으로 MPW design team 선택 불가)
    - 참여 MPW 공정 : 해당 공정을 선택
    - Title (논문명) : 논문명 입력
    - Author (주저자) : 주저자의 소속, 이름, 연락처 및 e-mail 기입  
(채택 안내 및 기타 관련 공지가 전달되니 반드시 정확히 기재)
    - Co-Author (공동저자) : 지도교수를 제외한 주저자 외 해당 논문의 공동저자를 모두 입력해야 함
    - Adviser (지도교수) : 지도교수의 계정으로 접속하면 자동으로 정보가 입력됨
    - Contact Author (전시 담당자) : 해당 내용 모두 입력  
(주저자와 전시 담당자가 동일할 경우, 주저자의 정보를 기입)
    - Design Category : 해당 카테고리에 체크
    - Chip Working (칩 동작률) : 해당하는 숫자 표기
    - Exhibiton : 전시 형태 선택, 동작률이 80% 이상일 경우 데모 참여  
(데모 선택시 멀티탭, 유선랜을 선택하는 부분이 나타남)
    - Design Type : 디자인 타입 선택
    - Poster Attached : 포스터 형식의 논문 제출 (KCS 제외)

### 5) CDC 논문 채택여부 확인

- ① 한국반도체학술대회 : 학회 측에서 통보 진행  
(<http://kcs.cosar.or.kr>, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 확인 가능 (담당자가 채택확인 요청 메일 송부 예정)
  - IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 클릭 - 채택여부에 "채택" 또는 "미채택"으로 표시되어 확인 가능(지도교수 계정으로 로그인)



MY IDEC

교육신청내역  
SoC설계과목이수계  
VOD신청내역  
참여교수 신청내역  
MPW신청내역  
희망공정신청내역  
EDA Tool신청내역  
**CDC신청내역**  
소켓/보드 주문내역  
참여교수 평가  
MPW평가  
희망공정 평가  
CDC평가  
적립금/쿠폰내역

## CDC신청내역

총 | MY IDEC | CDC신청내역

ISOCC 2022 Chip Design Contest

신청기간	평가기간	포스터(논문)수정기간	발표영상제출기간	발표자료제출기간	2차 평가기간
2022-06-01 ~ 2022-07-25	2022-07-27 ~ 2022-08-08	2022-08-10 ~ 2022-09-23	0000-00-00 ~ 0000-00-00	2022-09-01 ~ 2022-10-14	2022-08-18 ~ 2022-08-31



신청 정보상세

채택 및 발표자 선정

- 채택 되었습니다.

평가의견

- 참고하시어 포스터를 수정하여 업로드 해주시기 바랍니다.

그림에 대한 설명이 부족합. Novelty가 무엇인지? 무얼 개선했는지?  
 - 고효율을 이용한 DC/DC convert 기술로 훌륭한 능동으로 판단됨.  
 - 좋은 입력 전압 범위는 문제점을 분석하고, 개선할 필요가 있음.  
 - reference가 경리되어 있지 않음.  
 - 인력터 및 커퍼시티(C\_Fly) 까지 Fab in을 했는지 모호합.  
 기존 구조와 비교해서 장점은 무엇인가?  
 축정데이터 없음

신청자정보

논문번호	202202008		
MPW참여 구분	<input checked="" type="radio"/> IDEC MPW design team <input type="radio"/> other MPW design team		
참여MPW종류	DB180-2101회 DB하이직 180nm BCDMOS (신청일자: 2022-06-01)		
Title(논문명)	A Low-Cost Three-Output Hybrid-Block Boost Converter Using 0.18-um CMOS		
Author(주저자)	Affiliation	Korea University	Name
	email		HP
Co-Author (공동저자)	Affiliation		
	Korea University		
	Korea University		
Adviser (지도교수)	Affiliation		
	email		
Contact Author (전시담당자)	Affiliation		
<input type="checkbox"/> 주저자와 동일	email		
Design Category	<input checked="" type="radio"/> analog <input type="radio"/> digital <input type="radio"/> communication <input type="radio"/> processor <input type="radio"/> memory <input type="radio"/> etc	Design type	<input checked="" type="radio"/> ASIC <input type="radio"/> FPGA
Poster attached	<input type="button" value="파일선택"/> 선택된 파일: 없음 IDEC_CDC_poster_고려대		

**목록으로** **수정**

## 6) CDC 최종 논문 제출 : 포스터 및 발표 영상 제출

### ① 모든 CDC는 IDEC 홈페이지에 제출

- IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭
- Paper attached (최종논문) 란에 파일 업로드 - 수정 클릭

**IDECK** 반도체설계교육센터

58

### 7) 발표자료 제출

- ① 제출 대상 : 우수팀으로 선정되어 평가 대상인 팀 (대상자에게는 별도 연락)
- ② 제출 기간 : 행사 당일 약 3주 전부터 접수
- ③ 제출 방법 : IDEC 홈페이지를 통해 제출
  - IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭 - 맨 하단의 발표자료 등록 클릭 (반드시 지도교수 계정으로 로그인)

### 8) 행사 참여하기

- ① 관련 전체 내용에 대한 상세 공지는 최종 채택 팀에게 담당자가 사전에 메일로 송부 (전시 및 발표 시간, 장소 / 포스터 전시 / 배치도 번호 / 사전등록 등)
- ② 행사 당일 공지된 일시 및 장소에 전시 진행, 나머지 일정은 추후 공지

## 3. CDC 평가

- 1) 평가 위원 : IDEC CDC 평가위원 (임기 1년, IDEC에서 선정 후 위촉)
- 2) 평가 종류 : 온라인 평가
- 3) 평가 방법
  - ① 온라인 평가
    - CDC에 제출된 논문의 채택 여부를 판단
    - IDEC 홈페이지를 통해 주어진 평가 항목을 기준으로 평가  
(기타 상세한 내용에 대해서는 담당자가 메일로 안내)

## 1. JICAS 소개

- 1) JICAS 정의 : IDECK을 통해 배출되는 연구 결과물의 관리 체계를 확보하고 나아가 연구의 질적 향상을 위해 우수 사례를 모아 제작하는 공식 학술지
- 2) JICAS 개요
  - ① 발행 형태 : KCI 등재 온라인 저널 (연 4회 발행, 1월, 4월, 7월, 10월)
  - ② 배포 형식 : JICAS 공식 홈페이지 및 이메일 등
  - ③ 논문 주제 : IDECK MPW 및 EDA Tool 지원을 통해 나온 연구 결과물 외
  - ④ 논문 투고 대상 : IDECK 참여교수 및 소속 학생 외

## 2. JICAS 진행 절차

- 1) 논문 투고
  - ① 논문 모집 일정
    - 논문은 상시 모집, 마감일은 사전 홈페이지 공고
    - 상세 투고 일정은 담당자와 조율 후 결정

※ 담당자 (조일선 주임: 042-350-8533, ilsun@kaist.ac.kr)
  - ② 논문 작성 가이드
    - JICAS 규정, 작성 요령, 논문 양식: JICAS 홈페이지에서 확인 가능
- 2) 논문 제출
  - JICAS 홈페이지 (<http://jicas.idec.or.kr/>) 가입 후 제출(Make a submission 클릭)
- 3) 논문 평가 및 수정
  - ① 편집위원회 및 리뷰어에 의해 평가
  - ② 창의성, 독창성 보다는 설계 과정 및 방법 등을 중심으로 평가
  - ③ 평가 의견에 따라 논문 보완
- 4) 발간 : JICAS 홈페이지 및 KCI 홈페이지 내 논문 업로드
- 5) 참여 혜택 (의무 사항이 아닐 경우 논문 게재 시)
  - ① MPW 칩 제작 경쟁 과열 시 선정 우선권 제공 1회 (/편) 제공
  - ② 참여교수 참여실적 +10점